

출력 일자: 2003/2/3

발송번호 : 9-5-2003-003520515

발송일자 : 2003.01.30

제출기일 : 2003.03.30

수신 : 서울 강남구 역삼동 831번지 해천빌딩

1405호(특허법률사무소)

조의제 귀하

135-080

특허청 의견제출통지서

출원인 명칭 닛본 덴기 가부시끼가이샤 (출원인코드: 519980958731)

주소 일본국 도쿄도 미나토구 시바 5쵸메 7방 1고

대리인 성명 조의제

주소 서울 강남구 역삼동 831번지 해천빌딩 1405호(특허법률사무소)

출원번호 10-2001-0016298

발명의 명칭 D R A M커패시터들을 갖는 반도체장치 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원 발명은 층간막 상면상의 폴리실리콘막과 HSG는 제거하고 실린더 내벽상의 폴리실리콘막과 HSG는 유지시키는 것을 주요 특징으로 하는 시스템온칩 반도체장치의 제조방법에 관한 발명이나, 일본 공개특허공보 평11-186524호(1999.7.9 공개)의 요약, 실시예1 및 도1-도13과 한국공개특허공보 2000-8804호(2000.2.15 공개)의 요약, 실시예1, 청구항1 및 도1a-도1e에 층간막 상면상의 폴리실리콘막과 HSG는 제거하고 실린더 내벽상의 폴리실리콘막과 HSG는 유지시키는 것이 기재되어 있어, 본원 발명은 일본공개특허공보 평11-186524호(1999.7.9 공개) 및 한국공개특허공보 2000-8804호(2000.2.15 공개)의 공지기술에 의하여 용이하게 발명할 수 있습니다

[첨부]

첨부 1 일본공개특허공보 평11-186524호(1999.07.09) 1부

첨부2 한국공개특허공보 2000-8804호(2000.02.15) 1부 끝.

2003.01.30

특허청

심사4국

반도체1심사담당관실

심사관 반성원



출력 일자: 2003/2/3

<<안내>>

문의사항이 있으시면 ☎ 042-481-5982 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특2000-0008804
H01L 27/04 (43) 공개일자 2000년02월15일

(21) 출원번호 10-1998-0028822
(22) 출원일자 1998년07월16일
(71) 출원인 삼성전자 주식회사
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 김윤기
강원도 원주시 단구동 74-18번지
(74) 대리인 임창현

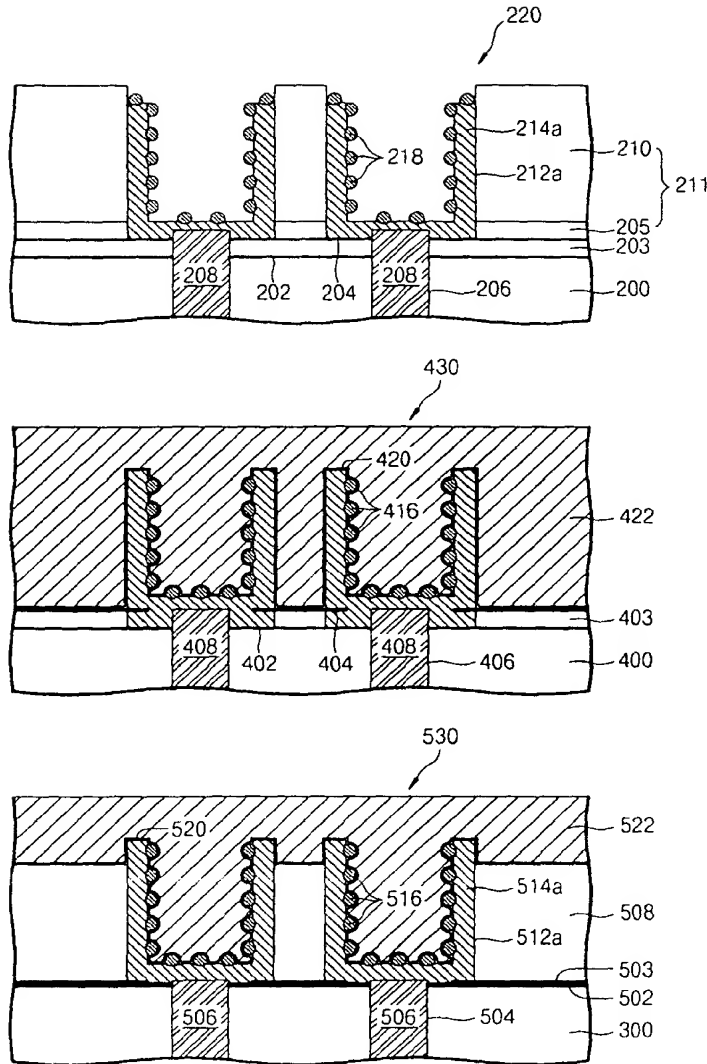
심사청구 : 있음

(54) 고집적 디램 셀 커패시터 및 그의 제조 방법

요약

본 발명은 인접한 스토리지 전극간 단락을 방지하고, 커패시터의 용량을 증가시키는 DRAM 셀 커패시터 및 그의 제조 방법에 관한 것으로, 오프닝(opening) 양측의 주형층(mold layer)이 스토리지 전극 두께 이상으로 식각 되어 오프닝이 확장된다. 오프닝의 굴곡을 따라 주형층 상에 비정질 실리콘으로 스토리지 전극막이 증착 된다. 스토리지 전극막 상에 HSG(hemispherical grain) 폴리실리콘 노듈(nodule)이 형성된 후, 오프닝이 완전히 채워질 때까지 절연층이 증착 된다. 평탄화 식각 공정으로 스토리지 전극막이 격리되어 스토리지 전극이 형성된 후, 오프닝 내의 절연층 및 오프닝 양측의 주형층이 습식 식각으로 제거된다. 또는, 스토리지 전극막 상에 오프닝이 완전히 채워질 때까지 주형층에 대해 식각 선택비를 갖는 절연층이 증착 된다. 평탄화 식각 공정으로 스토리지 전극막이 격리되어 스토리지 전극이 형성된 후 오프닝 내의 절연층이 습식 식각으로 제거된다. 스토리지 전극의 내부 표면 및 상부 표면에 HSG 폴리실리콘 노듈이 형성된다. 이와 같은 반도체 장치 및 반도체 장치의 제조 방법에 의해서, 스토리지 전극 콘택 플러그의 스토리지 전극 지지 기능을 향상시킬 수 있고, 스토리지 전극 콘택 플러그의 오버레이 마진(overlay margin)을 증가시킬 수 있다. 그리고, 습식 식각으로 오프닝을 확장시킴으로써 포토 공정의 한계를 극복할 수 있고, 콘택 플러그와 오프닝의 오정렬(misalign)을 방지할 수 있으며, 기존 실린더(cylinder) 구조의 스토리지 전극의 공정 한계를 극복할 수 있다. 또한, 고집적 소자의 실린더 구조의 스토리지 전극에 HSG 폴리실리콘 노듈을 적용함으로써, 스토리지 전극의 표면적을 증가시킬 수 있으며, 따라서 스토리지 전극의 높이를 감소시킬 수 있다. 또한, 스토리지 전극의 외부 표면에 HSG 폴리실리콘 노듈이 형성되지 않도록 함으로써 인접한 스토리지 전극간의 단락을 방지할 수 있으며, 스토리지 전극 형성을 위한 주형층(mold layer)을 후속 금속 콘택 형성을 위한 층간절연막으로 사용함으로써 공정 단가를 줄일 수 있다.

대표도



명세서

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명의 제 1 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도;

도 2는 본 발명의 제 1 실시예에 따른 고집적 DRAM 셀 커패시터의 개략적인 레이아웃 도면;

도 3a 내지 도 3d는 본 발명의 제 2 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도;

도 4a 내지 도 4e는 본 발명의 제 3 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도;

도 5a 내지 도 5e는 본 발명의 제 4 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도;

도 6a 내지 도 6e는 본 발명의 제 5 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도;

도 7a 내지 도 7e는 본 발명의 제 6 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도.

* 도면의 주요 부분에 대한 부호의 설명

100, 200, 300, 400, 500 : 층간절연막

102, 104, 202, 404, 302, 502 : 실리콘 질화막
103, 105, 118, 203, 205, 303, 305, 318, 403, 518 : 산화막
106, 206, 306, 406, 504 : 스토리지 전극 콘택홀
108, 208, 308, 408, 506 : 스토리지 전극 콘택 플러그
111, 211, 311, 410, 508 : 주형층
112, 212, 312, 413, 512 : 스토리지 전극용 오프닝
112a, 212a, 312a, 413a, 512a : 확장된 오프닝
114, 214, 314, 414, 514 : 스토리지 전극막
114a, 214a, 314a, 414a, 514a : 스토리지 전극
116, 218, 316, 416, 516 : HSG 폴리실리콘 노즐
117 : 식각 배리어막
120, 220, 320 : 커패시터 하부전극
216 : 질화막
319, 519 : 보이드
404, 503 : 제 1 반사 방지막
411, 509 : 제 2 반사 방지막
412, 510 : 포토레지스트 패턴
420, 520 : 커패시터 유전체막
422, 522 : 플레이트 전극
430, 530 : 커패시터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그의 제조 방법에 관한 것으로, 좀 더 구체적으로는 고집적 소자에 응용 가능한 DRAM 셀, 커패시터(dynamic random access memory cell capacitor) 및 그의 제조 방법에 관한 것이다.

DRAM 소자가 고집적화 됨에 따라, 커패시터의 용량 증대가 요구되고 있다. 이에 따라, 커패시터의 용량을 증가시키기 위해, 커패시터 하부전극으로 사용되는 스토리지 전극의 표면적(surface area)을 증가시키거나 높은 유전율을 갖는 고유전체막을 사용하는 방법이 제안되고 있다. 그러나, 상기 고유전체막의 경우, NO막 내지 ONO막을 제외하고는 대부분 아직 개발 단계에 있는 경우가 많기 때문에 상기 스토리지 전극의 표면적을 증가시키는 방법이 일반적으로 사용되고 있다.

스토리지 전극의 표면적을 증가시키기 위해서, 스토리지 전극의 구조를 스택(stack)형, 실린더(cylinder)형, 핀(fin)형, 그리고 트렌치(trench)형 등으로 형성하는 방법이 제안되고 있다. 이러한 방법의 구체적인 예로, U. S. P. 넘버 5,340,765(Aug. 23, 1994)는 실린더형 컨테이너(cylindrical container)를 많은 캐패시터 구조를 형성하는 공정을 개시하고 있고, 더 복잡한 구조 예를 들어, 컨테이너 내에 컨테이너(container-within-container) 및 다중 핀(multiple pin) 구조가 U. S. P. 넘버 5,340,763(Aug. 23, 1994)에 개시되어 있다.

상기 스택형 스토리지 전극의 경우, 원하는 커패시터 용량을 얻기 위해 그 높이가 증가되어 후속 금속 콘택(metal contact) 형성을 위한 건식 식각 공정시 어려움이 있게 된다.

따라서, 스토리지 전극의 단차를 줄이기 위해, 스토리지 전극의 표면에 HSG(hemispherical grain) 폴리실리콘 노즐(nodule)을 성장시키는 방법이 적용되고 있다. 상기 HSG 폴리실리콘 노즐은 화학 기상 증착(chemical vapor deposition)에 의해 증착될 수 있으나, 진공 어닐(vacuum anneal)을 사용하여 선택적으로 성장시키는 공정이 더 단순하기 때문에 이 방법이 바람직하게 사용되고 있다.

그러나, 상기 HSG 폴리실리콘 노즐을 적용하는 경우, 소자가 고집적화 됨에 따라 인접한 스토리지 전극 간 단락이 심화되는 문제점이 발생된다. 특히, 실린더 구조의 스토리지 전극의 경우, 스토리지 전극의 단축 방향의 공간 마진(space margin)이 부족하여 HSG 폴리실리콘 노즐의 적용이 불가능한 문제점이 발생된다.

발명이 이루고자하는 기술적 과제

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 스토리지 전극의 표면적을 증가시킬 수 있고, 스토리지 전극의 단차를 감소시킬 수 있는 고집적 DRAM 셀 커패시터 및 그의 제조 방법을 제공함에 그 목적이 있다.

본 발명의 다른 목적은 HSG 폴리실리콘 노출 적용시 인접한 스토리지 전극간 단락을 방지할 수 있는 고 집적 DRAM 셀 커패시터 및 그의 제조 방법을 제공함에 있다.

본 발명의 또 다른 목적은 스토리지 전극 콘택 플러그를 돌출 구조로 형성함으로써 스토리지 전극의 지지를 강화할 수 있는 고집적 DRAM 셀 커패시터 및 그의 제조 방법을 제공함에 있다.

발명의 구성 및 작용

1. (구성)

상술한 목적을 달성하기 위한 본 발명에 의하면, 고집적 DRAM 셀 커패시터의 제조 방법은, (a) 반도체 기판 상에 산화막 및 질화막을 포함하는 다층의 제 1 절연층을 형성하는 단계; (b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘택홀을 형성하는 단계; (c) 상기 스토리지 전극 콘택홀을 도전 물질로 채워서 스토리지 전극 콘택 플러그를 형성하는 단계; (d) 상기 스토리지 전극 콘택 플러그 및 제 1 절연층 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)을 형성하되, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 절연층의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계; (e) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계; (f) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계; (g) 상기 스토리지 전극막의 표면상에 HSG 노즐(hemispherical grain nodule)을 형성하는 단계; (h) 상기 오프닝을 완전히 채울 때까지 HSG 노즐 및 스토리지 전극막 상에 제 2 절연층을 형성하는 단계; 및 (i) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층, HSG 노즐, 그리고 스토리지 전극막을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계를 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 제 2 절연층 형성 단계(h) 전에, HSG 노즐의 굴곡을 따라 스토리지 전극막 상에 HSG 노즐을 보호하기 위한 물질층을 형성하는 단계를 더 포함할 수 있다.

이 방법의 바람직한 실시예에 있어서, 상기 스토리지 전극 형성 단계(i) 후, 상기 주형층 및 제 2 절연층을 습식 식각으로 제거하는 단계; 및 상기 HSG 노즐을 갖는 스토리지 전극 및 제 1 절연층 상에 커패시터 유전체막 및 플레이트 전극을 차례로 형성하여 커패시터를 형성하는 단계를 더 포함할 수 있다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 고집적 DRAM 셀 커패시터의 제조 방법은, (a) 반도체 기판 상에 산화막 및 질화막을 포함하는 다층의 제 1 절연층을 형성하는 단계; (b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘택홀을 형성하는 단계; (c) 상기 스토리지 전극 콘택홀을 도전 물질로 채워서 스토리지 전극 콘택 플러그를 형성하는 단계; (d) 상기 스토리지 전극 콘택 플러그 및 제 1 절연층 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)을 형성하되, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 절연층의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계; (e) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계; (f) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계; (g) 상기 오프닝을 완전히 채울 때까지 스토리지 전극막 상에 제 2 절연층을 형성하되, 상기 주형층에 대해 식각 선택비를 갖는 물질로 형성하는 단계; (h) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층 및 스토리지 전극막을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계; (i) 상기 오프닝 내부의 제 2 절연층을 제거하는 단계; 및 (j) 상기 스토리지 전극의 내부 표면(inner surface) 및 스토리지 전극의 상부 표면(top surface) 상에 HSG 노즐을 형성하는 단계를 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 고집적 DRAM 셀 커패시터의 제조 방법은, (a) 반도체 기판 상에 산화막 및 질화막을 포함하는 다층의 제 1 절연층을 형성하는 단계; (b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘택홀을 형성하는 단계; (c) 상기 스토리지 전극 콘택홀을 도전 물질로 채워서 스토리지 전극 콘택 플러그를 형성하는 단계; (d) 상기 스토리지 전극 콘택 플러그 및 제 1 절연층 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)을 형성하되, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 절연층의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계; (e) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계; (f) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계; (g) 상기 스토리지 전극막의 표면상에 HSG 노즐(hemispherical grain nodule)을 형성하는 단계; (h) 상기 오프닝을 완전히 채울 때까지 스토리지 전극막 상에 제 2 절연층을 형성하되, 상기 오프닝 내에 채워진 제 2 절연층이 보이드를 갖도록 형성하는 단계; (i) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계; 및 (j) 상기 오프닝 내부의 제 2 절연층을 제거하는 단계를 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 고집적 DRAM 셀 커패시터의 제조 방법은, (a) 반도체 기판 상에 제 1 절연층 및 제 1 반사 방지막을 차례로 형성하는 단계; (b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 반사 방지막 및 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘택홀을 형성하는 단계; (c) 상기 스토리지 전극 콘택홀을 도전 물질로 채워서 스토리지 전극 콘택 플러그를 형성하는 단계; (d) 상기 스토리지 전극 콘택 플러그 및 제 1 반사 방지막 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)과, 제 2 반사 방지막을 차례로 형성하되, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 반사 방지막의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계; (e) 상기 제 2 반사 방지막 및 상기 오프닝 하부의 제 1 반사 방지막을 제거하는 단계; (f) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계; (g) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계; (h) 상기 스토리지 전극막의 표면상에 HSG 노즐(hemispherical grain nodule)을 형성하는 단계; (i) 상기 오프닝을 완전히 채울 때까지 HSG 노즐 및 스토리지 전극막 상에 제 2 절연층을 형성하는 단계; (j) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층, HSG 노즐, 그리고 스토리지 전극막을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계; (k) 상기 주형층 및 제 2 절연층을 제거하는 단계; 및 (l) 상기 HSG 노즐을 갖는 스토리지 전극 및 제 1 절연층 상에 커패시터 유전체막 및 플레이트 전극을 차례로 형성하여 커패시터를 형성하는 단계를 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 고집적 DRAM 셀 커패시터의 제조 방법은, (a) 반도체 기판 상에 제 1 절연층 및 제 1 반사 방지막을 차례로 형성하는 단계; (b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 반사 방지막 및 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘

택출을 형성하는 단계; (c) 상기 스토리지 전극 콘택출을 도전 물질로 채워진 스토리지 전극 콘택 플러그를 형성하는 단계; (d) 상기 스토리지 전극 콘택 플러그 및 제 1 반사 방지막 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)과, 제 2 반사 방지막을 차례로 형성하되, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 반사 방지막의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계; (e) 상기 제 2 반사 방지막 및 상기 오프닝 하부의 제 1 반사 방지막을 제거하는 단계; (f) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계; (g) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계; (h) 상기 스토리지 전극막의 표면상에 HSG 노즐(hemispherical grain nodule)을 형성하는 단계; (i) 상기 오프닝을 완전히 채울 때까지 스토리지 전극막 상에 제 2 절연층을 형성하되, 상기 오프닝 내에 채워진 제 2 절연층이 보이드를 갖도록 형성하는 단계; (j) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층, HSG 노즐, 그리고 스토리지 전극막을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계; (k) 상기 오프닝 내부의 제 2 절연층을 제거하는 단계; 및 (l) 상기 HSG 노즐을 갖는 스토리지 전극 및 주형층 상에 커패시터 유전체막 및 플레이트 전극을 차례로 형성하여 커패시터를 형성하는 단계를 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 고집적 DRAM 셀 커패시터의 구조는, 반도체 기판 상에 형성된 절연층; 상기 절연층을 뚫고 반도체 기판과 전기적으로 접속되도록 형성되어 있되, 상기 절연층 표면상에 실린더 구조로 형성된 스토리지 전극; 상기 스토리지 전극의 내부 표면(inner surface) 상에 형성된 HSG 노즐; 및 상기 HSG 노즐 및 스토리지 전극을 포함하여 절연층 상에 차례로 형성된 커패시터 유전체막 및 플레이트 전극을 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 고집적 DRAM 셀 커패시터의 구조는, 반도체 기판 상에 형성된 제 1 절연층; 상기 제 1 절연층을 뚫고 반도체 기판과 전기적으로 접속되도록 형성되어 있되, 상기 제 1 절연층 표면상에 실린더 구조로 형성된 스토리지 전극; 상기 스토리지 전극의 내부 표면(inner surface) 및 스토리지 전극의 상부 표면(top surface) 상에 형성된 HSG 노즐; 상기 제 1 절연층 상에 스토리지 전극 양측과 접하도록 형성된 제 2 절연층; 및 상기 HSG 노즐 및 스토리지 전극을 포함하여 제 2 절연층 상에 차례로 형성된 커패시터 유전체막 및 플레이트 전극을 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 고집적 DRAM 셀 커패시터의 구조는, 반도체 기판 상에 형성된 제 1 절연층; 상기 제 1 절연층을 뚫고 반도체 기판과 전기적으로 접속되도록 형성되어 있되, 상기 절연층 표면상에 실린더 구조로 형성된 스토리지 전극; 상기 스토리지 전극의 내부 표면(inner surface) 상에 형성된 HSG 노즐; 상기 제 1 절연층 상에 스토리지 전극 양측과 접하도록 형성된 제 2 절연층; 상기 HSG 노즐을 갖는 스토리지 전극 및 제 2 절연층 상에 차례로 형성된 커패시터 유전체막 및 플레이트 전극을 포함한다.

(작용)

도 4e, 도 6e, 그리고 도 7e를 참조하면, 본 발명의 실시예에 따른 신규한 고집적 DRAM 셀 커패시터 및 그의 제조 방법은, 산화막이 식각 되어 스토리지 전극용 오프닝이 형성된다. 오프닝 양측의 산화막이 습식 식각 공정으로 식각 되어 확장된 오프닝이 형성된다. 실린더 구조의 스토리지 전극의 내부 표면 내지 스토리지 전극의 내부 표면 및 상부 표면상에 HSG 폴리실리콘 노즐이 형성된다. 이와 같은 반도체 장치 및 그의 제조 방법에 의해서, 스토리지 전극 콘택 플러그의 스토리지 전극 지지 기능을 향상시킬 수 있고, 스토리지 전극 콘택 플러그의 오버레이 마진(overlay margin)을 증가시킬 수 있다. 그리고, 습식 식각으로 오프닝을 확장시킴으로써 포토 공정의 한계를 극복할 수 있고, 콘택 플러그와 오프닝의 오정렬(misalign)을 방지할 수 있으며, 기존 실린더 구조의 스토리지 전극의 공정 한계를 극복할 수 있다. 또한, 고집적 소자의 실린더 구조의 스토리지 전극에 HSG 폴리실리콘 노즐을 적용함으로써, 스토리지 전극의 표면적을 증가시킬 수 있으며, 따라서 상기 스토리지 전극의 높이를 감소시킬 수 있다. 또한, 스토리지 전극의 외부 표면상에 HSG 폴리실리콘 노즐이 형성되지 않도록 함으로써 인접한 스토리지 전극간의 단락을 방지할 수 있으며, 스토리지 전극 형성을 위한 주형층(mold layer)을 후속 금속 콘택 형성을 위한 층간절연막으로 사용함으로써 공정 단가를 줄일 수 있다.

(실시예 1)

이하, 도 1 내지 도 3을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 1a 내지 도 1e는 본 발명의 제 1 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이고, 도 2는 본 발명의 제 1 실시예에 따른 고집적 DRAM 셀 커패시터의 개략적인 레이아웃 도면이다.

도 1e를 참조하여 본 발명의 제 1 실시예에 따른 고집적 DRAM 셀 커패시터의 구조를 설명한다.

도 1e를 참조하면, 본 발명의 제 1 실시예에 따른 고집적 DRAM 셀 커패시터는, 반도체 기판(도면에 미도시) 상에 층간절연막(100), 실리콘 질화막(102), 산화막(103), 그리고 실리콘 질화막(104)이 차례로 형성되어 있다. 상기 반도체 기판 상에 형성된 절연막들(104, 103, 102, 100)을 뚫고 상기 반도체 기판과 전기적으로 접속되는 스토리지 전극 콘택 플러그(108)가 형성되어 있다. 상기 스토리지 전극 콘택 플러그(108)는 상기 실리콘 질화막(104)의 표면 보다 더 높게 형성되어 있다. 즉, 상기 스토리지 전극 콘택 플러그(108)는 돌출 구조로 형성되어 있다. 이로써, 스토리지 전극 콘택 플러그(108)와 스토리지 전극(114a)의 접촉 면적이 증가되고, 따라서 상기 스토리지 전극 콘택 플러그(108)에 의해 상기 스토리지 전극(114a)이 더욱 튼튼하게 지지된다.

상기 스토리지 전극 콘택 플러그(108)와 연결되는 실린더 구조의 스토리지 전극(114a)이 상기 실리콘 질화막(104) 상에 형성되어 있다. 상기 스토리지 전극(114a)의 내부 표면(inner surface) 상에 HSG 폴리실리콘 노즐(116)이 형성되어 있다. 이와 같이, 상기 HSG 폴리실리콘 노즐(116)이 스토리지 전극(114a)의 외부 표면(outer surface) 상에 형성되어 있지 않기 때문에 인접한 스토리지 전극(114a)간 브리지가 방지된다. 또한, 인접한 스토리지 전극(114a)간 영역을 최대한 줄일 수 있게 된다. 상기 HSG 폴리실리콘 노즐(116) 및 스토리지 전극(114a)을 포함하여 상기 실리콘 질화막(104) 상에 커패시터

유전체막(도면에 미도시) 및 플레이트 전극(도면에 미도시)이 차례로 형성되어 있다.

상술한 바와 같은 본 발명의 제 1 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법을 첨부된 도면에 의거하여 상세히 설명한다.

도 1a를 참조하면, 본 발명의 제 1 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법은 먼저, 반도체 기판(도면에 미도시) 상에 활성 영역과 비활성 영역을 정의하여 소자격리막(도면에 미도시)이 형성된다. 상기 소자격리막은 예를 들어, 국부 실리콘 산화(local oxidation of silicon: LOCOS) 방법 내지 얇은 트렌치 격리(shallow trench isolation) 방법 등으로 형성된다. 다음, 상기 활성 영역에 게이트 전극 및 소오스/드레인 영역을 갖는 트랜지스터(도면에 미도시)가 형성된다.

상기 트랜지스터를 포함하여 반도체 기판 전면에 층간절연막(100)이 증착된다. 이때, 상기 층간절연막(100) 내에 비트 라인(도면에 미도시)이 형성된다.

상기 층간절연막(100) 상에 실리콘 질화막들(102, 104) 및 산화막들(103, 105)이 번갈아 증착된 다층막 구조의 교대층(alternating layer)(102 - 105)이 형성된다. 즉, 상기 실리콘 질화막(102) 상에 산화막(103)이 증착되고, 상기 산화막(103) 상에 다시 실리콘 질화막(104) 및 산화막(105)이 차례로 증착된다. 상기 실리콘 질화막들(102, 104)은 각각 30Å 내지 500Å의 두께 범위를 갖도록 증착된다. 상기 실리콘 질화막(102)은 커패시터 유전체막 등과 같은 후속 산화 공정시 비트 라인이 산화되는 것을 방지하기 위해 형성된다.

스토리지 콘택홀 형성 마스크를 사용하여 상기 교대층(102 - 105) 및 층간절연막(100)을 식각 하면 스토리지 전극 콘택홀(106)이 형성된다. 상기 스토리지 전극 콘택홀(106)에 예를 들어, 폴리실리콘, TiN, Ti, W, WSi₂, 그리고 이들의 복합막 중 어느 하나인 도전 물질로 채워져서 스토리지 전극 콘택 플러그(108)가 형성된다. 상기 콘택 플러그(108)는 예를 들어, 상기 스토리지 전극 콘택홀(106)을 채울 때까지 상기 산화막(105) 상에 폴리실리콘막이 증착된다. 상기 스토리지 콘택홀(106) 양측의 산화막(105)의 상부 표면이 노출될 때까지 폴리실리콘막이 에치 백(etch-back) 공정 등으로 평탄화 식각된다.

다음, 상기 콘택 플러그(108) 및 산화막(105) 상에 적어도 스토리지 전극 높이 이상의 산화막(110)이 형성된다. 여기서, 상기 산화막(110) 및 산화막(105)은 스토리지 전극 형성을 위한 주형층(mold layer)(111)으로 사용된다. 스토리지 전극 형성용 마스크를 사용하여 상기 콘택 플러그(108)의 상부 표면이 노출될 때까지 상기 주형층(111)이 식각 되어 스토리지 전극용 오프닝(112)이 형성된다. 이때, 상기 실리콘 질화막(104)이 식각 정지층(etch stopping layer)으로 사용됨으로써 돌출된 구조(참조 번호 113)의 콘택 플러그(108)가 형성된다. 이렇게 형성함으로써, 콘택 플러그(108)와 후속 공정으로 형성되는 스토리지 전극간의 접촉 면적이 증가되어 스토리지 전극이 잘 지지되고, 또한 콘택 플러그(108)의 오버레이 마진(overlay margin)이 증가된다.

도 2에서와 같이, 고집적 소자에 있어서, 상기 스토리지 전극용 오프닝(112)의 단축 방향 길이(a)와 인접한 스토리지 전극용 오프닝(112)간 거리(a)는 동일하게 형성된다.

도 1b에 있어서, 상기 스토리지 전극 형성용 마스크가 제거된 후, 본 발명의 핵심 공정 중의 하나인 상기 주형층(111)의 일부를 제거하는 습식 식각 공정이 수행된다. 상기 주형층(111)은 적어도 형성되는 스토리지 전극 물질의 두께 이상으로 식각 된다. 이로써, 기존의 스토리지 전극 형성용 마스크에 의해 정의된 영역보다 확장된 오프닝(112a)이 형성된다. HSG 폴리실리콘 노즐이 형성되기 위한 최소한의 스토리지 전극 물질의 두께는 40nm 이므로, 상기 오프닝(112)의 양측벽이 각각 적어도 40nm 이상 식각 되도록 한다.

다음, 도 1c를 참조하면, 상기 확장된 오프닝(112a)의 굴곡을 따라 주형층(111) 상에 스토리지 전극막(114)이 증착 된다. 여기서, 상기 스토리지 전극막(114)은 HSG 폴리실리콘 적용을 위해 비정질 실리콘(amorphous silicon)이 사용된다. 상기 스토리지 전극막(114)의 표면에 HSG 폴리실리콘 노즐(nodule: asperities 울퉁불퉁한 부분들)(116)이 형성된다. 그러면, 상기 확장된 오프닝(112a)의 크기가 도 1c 및 도 2에서 참조 번호 112b로 나타난 바와 같이 감소된다. 상기 확장된 오프닝(112a)이 완전히 채워질 때까지 HSG 폴리실리콘 노즐(116) 및 스토리지 전극막(114) 상에 산화막(118)이 증착 된다.

도 1d에 있어서, 상기 확장된 오프닝(112a) 양측의 주형층(111)의 상부 표면이 노출될 때까지 상기 산화막(118), HSG 폴리실리콘 노즐(116), 그리고 스토리지 전극막(114)의 일부가 평탄화 식각 된다. 이 평탄화 식각 공정은 예를 들어, CMP(chemical mechanical polishing) 공정으로 수행된다. 그러면, 스토리지 전극막(114)이 부분적으로 격리되어 스토리지 전극(114a)이 형성된다.

마지막으로, 상기 실리콘 질화막(104)을 식각 정지층으로 사용하여 상기 산화막(118) 및 주형층(111)이 제거되면 도 1e에 도시된 바와 같이, 스토리지 전극(114a)의 내부 표면에만 HSG 폴리실리콘 노즐(116)이 형성된 커패시터 하부전극(120)이 완성된다. 상기 산화막(118) 및 주형층(111)은 습식 식각 방법으로 제거된다. 예를 들어, BOE(buffered oxide etchant) 등의 습식 케미컬(wet chemical)을 사용하여 제거된다. 다음, 상기 스토리지 전극(114a)을 도핑(doping) 시키기 위해서, 고농도의 PH3 어닐링(annealing) 공정이 수행된다.

후속 공정으로 커패시터 유전체막(capacitor dielectric layer)(도면에 미도시)과 플레이트 폴리실리콘막(plate polysilicon layer)(도면에 미도시)이 증착 되어 HSG 폴리실리콘 노즐(116)을 갖는 실린더 구조의 DRAM 셀 커패시터가 완성된다.

종래에는 스토리지 전극의 단축 방향 길이가 170nm인 경우, HSG 폴리실리콘 노즐의 프레임(frame)이 되는 스토리지 전극 폴리 두께가 40nm 이상이고, HSG 폴리실리콘 노즐의 두께가 30nm이므로, 실린더 양측의 두께의 합이 총 140nm 이상으로 후속 커패시터 유전체막 및 플레이트 폴리실리콘막 형성이 어렵게 된다. 즉, 상기 커패시터 유전체막이 NO막으로 형성되는 경우, 실리콘 질화막이 6.7nm 이고 산화막이 1.3nm 이면 NO막의 두께는 8nm가 된다. 그리고, 플레이트 폴리 두께는 30nm 정도 형성되어야 하므로

스토리지 전극의 단축 방향의 실린더 양측의 두께의 합은 216nm가 된다. 결과적으로, 스토리지 전극의 단축 방향의 길이가 170nm 인 경우, HSG 폴리실리콘 노즐의 적용이 불가능함을 알 수 있다.

이를 극복하기 위해, U. S. P. 넘버 5,760,434(Jun. 2, 1998)에 개시된 바와 같이, HSG 폴리실리콘 노즐의 프레임의 두께를 감소시켜서 실린더 내부의 체적을 증가시키는 방법이 제안된 바 있다. 즉, HSG 폴리실리콘 노즐의 프레임으로 얇은 저 저항 물질층 즉, 실리콘사이드막을 사용하는 것이다. 그러나, 이 방법 역시 포토 공정의 한계로 인해 실린더 내부의 체적을 증가시키는데 한계가 있게 된다.

반면, 도 2를 참조하면, 본 발명에서는 습식 식각에 의한 오프닝 확장 공정이 사용되므로, 상기 문제점을 충분히 극복하게 된다. 구체적으로, 상기 습식 공정에 의해 오프닝의 단축 방향의 길이(a)가 양측으로 각각 예를 들어, 70nm 확장된 경우 총 단축 길이(a + 2b)는 310nm(170nm + 140nm)로 증가된다. 따라서, 상기 30nm 이상의 두께를 갖는 HSG 폴리실리콘 노즐이 적용된다 하더라도, 실린더 내부의 스페이스 마진(d)이 90nm 이상 더 남게 된다.

이때, 상기 인접한 확장된 오프닝 사이의 거리(c)는, 약 10nm 정도까지 형성 가능하고 바람직하게는 20nm 내지 100nm 정도로 형성된다.

따라서, 오프닝 확장 공정을 사용하는 본 발명은 스토리지 전극의 단축 방향 길이(a)가 130nm인 경우에도 HSG 폴리실리콘 노즐의 적용이 가능하게 된다. 그리고, 상기 오프닝(112)이 상기 콘택 플러그(108)에 오정렬 된다 하더라도, 상기 습식 식각 공정에 의해 그 크기가 확장되므로 스토리지 전극 콘택 플러그(108)에 대한 스토리지 전극(114a)의 오정렬 문제가 없게 된다.

본 발명에 의한 실린더형 커패시터의 스토리지 전극의 단축 방향의 길이가 170nm 인 경우, 커패시터의 높이가 10000 Å 일 때 확장된 오프닝(112a)의 크기가 310nm 이면 디자인 룰 대비 선포는 최대 95 % 증가된다. 선포의 변동(variation)이 30nm 인 점을 고려할 때, 오프닝의 크기가 최대 75 % 정도 확장된다. 그리고, HSG 폴리실리콘 노즐을 사용하는 경우, HSG 폴리실리콘 노즐을 사용하지 않는 경우에 비해 커패시턴스가 2.5 배 증가하게 된다.

상기 HSG 폴리실리콘 노즐이 적용되는 경우, 커패시터 유전체막으로서 TaO가 사용되면 45 % 내지 50 %의 커패시턴스 증가가 있게 되어 Cmin 및 Cmax는 각각 35 fF/cell 및 42 fF/cell이 된다. 그리고, 커패시터 유전체막으로서 NO막(40 Å)이 사용되는 경우 Cmin 및 Cmax 는 각각 30 fF/cell 및 35 fF/cell이 된다. 이것은 종래 스토리지 전극의 단축 방향의 길이가 170 nm인 경우, HSG 폴리실리콘 노즐이 적용되지 않은 단순 실린더 구조(커패시터 유전체막으로서 TaO가 사용된 경우)에 대한 Cmin 및 Cmax가 각각 21 fF/cell 및 25 fF/cell 인 것에 비해상당히 증가되었음을 알 수 있다. 또한, 본 발명에서는 NO막이 사용된 경우도 종래 TaO막이 사용된 경우보다 커패시턴스가 더 높음을 알 수 있다.

상술한 바와 같이, 본 발명은 적어도 28 fF/cell 이상의 커패시턴스를 갖는 DRAM 셀 커패시터를 제조하는 방법을 제공한다.

(실시예 2)

도 3a 내지 도 3d는 본 발명의 제 2 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이다. 도 3a 내지 도 3d에 있어서, 도 1a 내지 도 1e에 도시된 본 발명의 제 1 실시예에 따른 DRAM 셀 커패시터의 구성 요소와 동일한 기능을 갖는 구성 요소에 대해서는 동일한 참조 번호를 병기한다.

한편, 상기 커패시터 유전체막 형성 전에 일반적으로 SC-1(NH3 + H2O2 + D.I water) 및 HF를 사용한 전세정(pre-cleaning) 공정이 수행된다. 도 3a에 있어서, 도 1b에서와 같이 주형층(111)의 일부가 습식 식각 되어 확장된 오프닝(112a)이 형성된다. 도 3b를 참조하면, HSG 폴리실리콘 노즐(116)이 형성된 후, 후속 산화막(118) 및 주형층(111)의 제거를 위한 습식 공정 등에 의해 HSG 폴리실리콘 노즐(116)이 어택(attack) 되어 떨어져 나가는 것을 방지하기 위해서 HSG 폴리실리콘 노즐(116) 및 스토리지 전극막(114) 상에 식각 배리어막(etch barrier layer)(117)이 형성된다. 상기 식각 배리어막(117)은 산화막에 대해 식각 선택비를 갖는 물질로서, 예를 들어 TiN막 또는 Ti막 또는 실리콘 질화막(SiN) 등으로 형성된다. 도 1d에서와 같이, 산화막(110) 및 스토리지 전극막(114)의 일부가 평탄화 식각 된다.(도 3c) 이어서, 도 1e와 마찬가지로, 상기 산화막(118) 및 주형층(111)이 습식 식각 방법으로 제거되면 스토리지 전극(114a)의 내부 표면에만 HSG 폴리실리콘 노즐(116)이 형성된 커패시터 하부전극(120)이 완성 된다.(도 3d)

상기 식각 배리어막(117)은 후속 커패시터 유전체막 형성전 전 세정 공정(pre-cleaning process) 수행시 제거된다.

상술한 바와 같이, 본 발명의 제 1 실시예 및 제 2 실시예에 따른 DRAM 셀 커패시터는, 상기 오프닝(112)의 확장으로 실린더 내부의 영역이 기존보다 증가되었기 때문에, HSG 폴리실리콘 노즐(116) 형성 뿐아니라, 상기 커패시터 유전체막 및 플레이트 폴리실리콘 증착 공정의 어려움이 없게 된다.

또한, 상기 커패시터 하부전극(120)의 표면적이 기존 대비(HSG 폴리실리콘 노즐을 갖는 스택 구조) 크게 증가되었기 때문에 상기 커패시터 유전체막은 TaO 또는 BST 등의 고유전체막 대신 NO 또는 ONO 로 대체 가능하고, 스토리지 전극(114a)의 높이가 기존(10000 Å) 대비 8000 Å 이하로 감소된다.

(실시예 3)

도 4a 내지 도 4e는 본 발명의 제 3 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 4e를 참조하여 본 발명의 제 3 실시예에 따른 고집적 DRAM 셀 커패시터의 구조를 설명한다.

도 4e를 참조하면, 본 발명의 제 3 실시예에 따른 고집적 DRAM 셀 커패시터는, 반도체 기판(도면에 미도시) 상에 층간절연막(200), 실리콘 질화막(202), 산화막(203), 그리고 실리콘 질화막(204)이 차례로 적

층되어 있다. 상기 반도체 기판 상에 형성된 절연막들(204, 203, 202, 200)을 뚫고 상기 반도체 기판과 전기적으로 접속되는 스토리지 전극 콘택 플러그(208)가 형성되어 있다. 상기 스토리지 전극 콘택 플러그(208)는 상기 실리콘 질화막(204)의 상부 표면 보다 더 높게 형성되어 있다. 즉, 상기 스토리지 전극 콘택 플러그(208)는 돌출 구조로 형성되어 있다. 이로써, 스토리지 전극 콘택 플러그(208)와 스토리지 전극(214a)의 접촉 면적이 증가되고, 따라서 상기 스토리지 전극 콘택 플러그(208)에 의해 상기 스토리지 전극(214a)이 더욱 튼튼하게 지지된다.

상기 스토리지 전극 콘택 플러그(208)와 연결되는 살린더 구조의 스토리지 전극(214a)이 상기 실리콘 질화막(204) 상에 형성되어 있다. 상기 스토리지 전극(214a)의 내부 표면에 HSG 폴리실리콘 노출(218)이 형성되어 있다. 이와 같이, 상기 HSG 폴리실리콘 노출(218)이 스토리지 전극(214a)의 외부 표면에 형성되어 있지 않기 때문에 인접한 스토리지 전극(214a)간 브리지가 방지된다. 또한, 인접한 스토리지 전극(214a)간 영역을 최대한 줄일 수 있게 되어 고집적화가 용이해진다.

한편, 상기 스토리지 전극(214a) 양측벽으로부터 연장하여 산화막으로 형성된 주형층(211)이 형성되어 있다. 상기 주형층(211)은 식각 되지 않고 남아 후속 금속 콘택(metal contact) 형성시 층간절연막으로 사용된다. 상기 HSG 폴리실리콘 노출(218) 및 스토리지 전극(214a)을 포함하여 산화막(210) 상에 커패시터 유전체막(도면에 미도시) 및 플레이트 전극(도면에 미도시)이 차례로 형성되어 있다.

상술한 바와 같은 본 발명의 제 3 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법을 첨부된 도면에 의거하여 상세히 설명한다.

도 4a를 참조하면, 본 발명의 제 3 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법은 먼저, 반도체 기판(도면에 미도시) 상에 활성 영역과 비활성 영역을 정의하여 소자격리막(도면에 미도시)이 형성된다. 상기 소자격리막은 예를 들어, 국부 실리콘 산화(local oxidation of silicon; LOCOS) 방법 내지 얇은 트렌치 격리(shallow trench isolation) 방법 등으로 형성된다. 다음, 상기 활성 영역에 게이트 전극 및 소오스/드레인 영역을 갖는 트랜지스터(도면에 미도시)가 형성된다.

상기 트랜지스터를 포함하여 반도체 기판 전면에 층간절연막(200)이 증착 된다. 이때, 상기 층간절연막(200) 내에 비트 라인(도면에 미도시)이 형성된다.

상기 층간절연막(200) 상에 실리콘 질화막들(202, 204) 및 산화막들(203, 205)이 번갈아 증착된 다층막 구조의 교대층(alternating layer)(202 - 205)이 형성된다. 즉, 상기 실리콘 질화막(202) 상에 산화막(203)이 증착 된다, 상기 산화막(203) 상에 다시 실리콘 질화막(204) 및 산화막(205)이 차례로 증착 된다. 상기 실리콘 질화막들(202, 204)은 각각 30 Å 내지 500 Å의 두께 범위를 갖도록 증착 된다. 상기 실리콘 질화막(202)은 커패시터 유전체막 등과 같은 후속 산화 공정시 비트 라인 등이 산화되는 것을 방지하기 위해 형성된다.

스토리지 콘택홀 형성 마스크를 사용하여 상기 교대층(202 - 205) 및 층간절연막(200)을 식각 하면 스토리지 전극 콘택홀(206)이 형성된다. 상기 스토리지 전극 콘택홀(206)이 예를 들어, 폴리실리콘, TiN, Ti, W, WSix, 그리고 이들의 복합막 중 어느 하나의 도전 물질로 채워져서 스토리지 전극 콘택 플러그(208)가 형성된다. 상기 콘택 플러그(208)는 예를 들어, 상기 스토리지 전극 콘택홀(206)을 채울 때까지 상기 산화막(205) 상에 폴리실리콘막이 증착 된다. 상기 스토리지 콘택홀(206) 양측의 산화막(205)의 상부 표면이 노출될 때까지 폴리실리콘막이 에치 백 공정 등으로 평탄화 식각 된다.

다음, 상기 콘택 플러그(208) 및 산화막(205) 상에 적어도 스토리지 전극 높이 이상의 산화막(210)이 증착 된다. 여기서, 상기 산화막(210) 및 산화막(205)은 스토리지 전극 형성을 위한 주형층(mold layer)(211)으로 사용된다. 스토리지 전극 형성용 마스크를 사용하여 상기 콘택 플러그(208)의 상부 표면이 노출될 때까지 주형층(211)이 식각 되어 스토리지 전극용 오프닝(212)이 형성된다. 이때, 상기 오프닝(212) 형성 공정시, 상기 실리콘 질화막(204)이 식각 정지층(etch stopping layer)으로 사용됨으로써 돌출된 구조(참조 번호 213)의 콘택 플러그(208)가 형성된다. 이렇게 형성함으로써, 콘택 플러그(208)와 후속 공정으로 형성되는 스토리지 전극간의 접촉 면적이 증가되어 스토리지 전극이 잘 지지되고, 또한 콘택 플러그(208)의 오버레이 마진(overlay margin)이 증가된다.

도 4b에 있어서, 상기 스토리지 전극 형성용 마스크가 제거된 후, 본 발명의 핵심 공정 중의 하나인 상기 주형층(211)의 일부를 제거하기 위한 습식 식각 공정이 수행된다. 상기 주형층(211)은 적어도 형성되는 스토리지 전극 물질의 두께 이상으로 식각 된다. 이로써, 기존의 스토리지 전극 형성용 마스크에 의해 정의된 영역보다 확장된 오프닝(212a)이 형성된다. HSG 폴리실리콘 노출이 형성되기 위한 최소한의 스토리지 전극 물질의 두께는 40nm 이므로, 상기 오프닝(212)의 양측벽이 각각 적어도 40nm 이상 식각 되도록 한다. 이때, 오프닝(212)은 디자인 룰에 의한 스토리지 전극의 피치(pitch) 보다 약 10nm 만큼 작은 크기까지 확장 가능하다. 즉, 인접한 확장된 오프닝(212a) 사이의 단축 방향의 거리는 최소 약 10nm가 된다.

다음, 도 4c를 참조하면, 상기 확장된 오프닝(212a)의 굴곡을 따라 산화막(210) 상에 스토리지 전극막(214)이 증착 된다. 여기서, 상기 스토리지 전극막(214)은 HSG 폴리실리콘 노출 적용을 위해 비정질 실리콘이 사용된다. 상기 확장된 오프닝(212a)이 완전히 채워질 때까지 스토리지 전극막(214) 상에 상기 주형층(211)에 대해 식각 선택비를 갖는 물질 예를 들어, 질화막(216)이 증착 된다. 상기 질화막(216)은 예를 들어, PECVD 방법으로 증착된 실리콘 질화막(SiN) 이다.

도 4d에 있어서, 상기 확장된 오프닝(212a) 양측의 스토리지 전극막(214)의 상부 표면이 노출될 때까지 상기 질화막(216)이 에치 백 공정으로 식각 된다. 상기 확장된 오프닝(212a)의 내부에 남아 있는 질화막(216) 및 상기 주형층(211)을 식각 마스크로 사용하여 상기 노출된 스토리지 전극막(214)의 일부가 식각 된다. 그러면, 스토리지 전극막(214)이 부분적으로 격리되어 살린더 구조의 스토리지 전극(214a)이 형성된다.

상기 스토리지 전극막(214)의 식각은 예를 들어, 습식 식각 방법으로 수행되고, 스토리지 전극막(214)의 증착 두께 이상이 식각 되도록 한다. 이것은, 상기 스토리지 전극(214a)이 상기 확장된 오프닝(212a)

양측의 주형층(211)의 상부 표면 보다 상대적으로 낮은 상부 표면을 갖도록 함으로써, 후속 HSG 폴리실리콘 노즐(218) 형성시 인접한 스토리지 전극(214a)간 브리지를 방지하기 위함이다. 이어서, 상기 확장된 오프닝(212a)의 내부에 남아 있는 질화막(216)이 습식 식각으로 선택적으로 제거된다.

마지막으로, 상기 확장된 오프닝(212a)의 내부의 스토리지 전극(214a)의 노출된 표면에 HSG 폴리실리콘 노즐(nodule; asperities 울퉁불퉁한 부분들)(218)이 형성된다. 그러면, 도 4e에 도시된 바와 같이, 스토리지 전극(214a)의 내부 표면 및 상부 표면에 HSG 폴리실리콘 노즐(218)이 형성된 커패시터 하부전극(220)이 완성된다.

여기서, 상기 주형층(211)은 식각 되지 않고 남아 후속 금속 콘택 형성 공정시 콘택홀 형성을 위한 층간절연막으로 사용된다.

후속 공정으로 HSG 폴리실리콘 노즐(218), 스토리지 전극(214a), 그리고 주형층(211) 상에 커패시터 유전체막(capacitor dielectric layer)(도면에 미도시)과 플레이트 폴리실리콘막(plate polysilicon layer)(도면에 미도시)이 증착되어 HSG 폴리실리콘 노즐(218)을 갖는 실린더 구조의 DRAM 셀 커패시터가 완성된다. 한편, 상기 커패시터 유전체막 형성 전에 상기 스토리지 전극(214a)을 도핑(doping)시키기 위해, 고농도의 PH3 어닐링(annealing) 공정이 더 수행된다.

상술한 바와 같이, 본 발명의 제 3 실시예에 따른 DRAM 셀 커패시터는, 상기 제 1 실시예에서와 마찬가지로, 상기 오프닝(212)의 확장으로 실린더 내부의 영역이 기존보다 증가되었기 때문에, HSG 폴리실리콘 노즐(218) 형성 뿐 아니라, 상기 커패시터 유전체막 및 플레이트 폴리실리콘 증착 공정의 어려움이 없게 된다.

또한, 상기 커패시터 하부전극(220)의 표면적이 기존 대비(HSG 폴리실리콘 노즐을 갖는 스택 구조) 크게 증가되었기 때문에 상기 커패시터 유전체막은 TaO 또는 BST 등의 고유전체막 대신 NO 또는 ONO 로 대체 가능하고, 스토리지 전극(214a)의 높이가 기존(10000 Å) 대비 9000 Å 이하로 감소된다. 또한, 상기 주형층(211)이 후속 공정에서 그대로 사용되도록 함으로써 상기 제 1 실시예에서보다 공정 단가를 줄이게 된다.

(실시예 4)

도 5a 내지 도 5e는 본 발명의 제 4 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 5a를 참조하면, 본 발명의 제 4 실시예에 따른 고집적 DRAM 셀 커패시터의 구조는 상기 제 1 실시예에 따른 고집적 DRAM 셀 커패시터의 구조와 유사하다. 즉, 실린더 구조의 스토리지 전극(314a)의 내부 표면에 HSG 폴리실리콘 노즐(316)이 형성되어 있다.

반면, 제 3 실시예에서와 마찬가지로 상기 스토리지 전극(314a)의 양측벽으로부터 연장하여 산화막으로 형성된 주형층(311)이 형성되어 있다. 이 주형층(311)은 식각 되지 않고 남아 후속 금속 콘택 형성시 층간절연막으로 사용된다.

상술한 바와 같은 본 발명의 제 4 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법을 첨부된 도면에 의거하여 설명하며, 제 1 실시예 및 제 3 실시예와 동일한 단계에 대해서는 중복을 피하기 위해 그 상세한 설명은 생략한다.

도 5a를 참조하면, 본 발명의 제 4 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법은 먼저, 트랜지스터가 형성된 반도체 기판(도면에 미도시) 전면에 층간절연막(300)이 증착 된다.

상기 층간절연막(300) 상에 실리콘 질화막들(302, 304) 및 산화막들(303, 305)이 번갈아 증착된 다층막 구조의 교대층(302 - 305)이 형성된다. 상기 실리콘 질화막들(302, 304)은 각각 30 Å 내지 500 Å의 두께 범위를 갖도록 증착 된다.

스토리지 콘택홀 형성 마스크를 사용하여 상기 교대층(302 - 305) 및 층간절연막(300)을 식각 하면 스토리지 전극 콘택홀(306)이 형성된다. 상기 스토리지 전극 콘택홀(306)이 예를 들어, 폴리실리콘, TiN, Ti, W, WSix, 그리고 이들의 복합막 중 어느 하나의 도전 물질로 채워져서 스토리지 전극 콘택 플러그(308)가 형성된다.

다음, 상기 콘택 플러그(308) 및 산화막(305) 상에 적어도 스토리지 전극 높이 이상의 산화막(310)이 증착 된다. 여기서, 상기 산화막(310) 및 산화막(305)은 스토리지 전극 형성을 위한 주형층(311)으로 사용된다. 여기서, 상기 주형층(311)은 예를 들어, PECVD 방법으로 증착된 TEOS 산화막이다. 스토리지 전극 형성용 마스크를 사용하여 상기 콘택 플러그(308)의 상부 표면이 노출될 때까지 주형층(311)이 식각 되어 스토리지 전극용 오프닝(312)이 형성된다. 이때, 상기 오프닝(312) 형성 공정시, 상기 실리콘 질화막(304)이 식각 정지층으로 사용됨으로써 돌출된 구조(참조 번호 313)의 콘택 플러그(308)가 형성된다.

도 5b에 있어서, 상기 스토리지 전극 형성용 마스크가 제거된 후, 본 발명의 핵심 공정 중의 하나인 상기 주형층(311)의 일부를 제거하기 위한 습식 식각 공정이 수행된다. 상기 주형층(311)은 적어도 형성되는 스토리지 전극 물질의 두께 이상으로 식각 된다. 이로써, 기존의 스토리지 전극 형성용 마스크에 의해 정의된 영역보다 더 확장된 오프닝(312a)이 형성된다. 상기 오프닝(312)은 디자인 룰에 의한 스토리지 전극의 피치(pitch) 보다 약 10nm 만큼 작은 크기까지 확장 가능하다. 즉, 인접한 확장된 오프닝(312a) 사이의 단축 방향의 거리는 최소 약 10nm가 된다.

다음, 도 5c를 참조하면, 상기 확장된 오프닝(312a)의 굴곡을 따라 산화막(310) 상에 비정질 실리콘으로 스토리지 전극막(314)이 증착 된다. 상기 스토리지 전극막(314)의 표면에 HSG 폴리실리콘 노즐(316)이 형성된다.

상기 확장된 오프닝(312a)이 완전히 채워질 때까지 스토리지 전극막(314) 및 HSG 폴리실리콘 노즐(316)

상에 산화막(318)이 증착된다. 상기 산화막(318)은 예를 들어, 상기 주형층(311)과 마찬가지로 PE-TEOS 산화막이다. 이때, 상기 산화막(318) 증착시 공정 조건을 조절하여 상기 확장된 오프닝(312a) 내에 채워진 산화막(318)이 보이드(319)를 갖도록 형성된다. 이것은 후속 산화막(310) 습식 식각 공정에서 그 식각량을 줄이기 위함이다.

도 5d에 있어서, 상기 확장된 오프닝(312a) 양측의 상기 산화막(310)의 상부 표면이 노출될 때까지 상기 산화막(318), HSG 폴리실리콘 노즐(316), 그리고 스토리지 전극막(314)의 일부가 CMP 공정 등에 의해 평탄화 식각된다. 그러면, 스토리지 전극막(314)이 부분적으로 격리되어 실린더 구조의 스토리지 전극(314a)이 형성된다.

마지막으로, 상기 확장된 오프닝(312a) 내에 잔존하는 산화막(318)이 예를 들어, BOE 등의 습식 케미컬에 의해 제거된다. 그러면, 도 5e에 도시된 바와 같이, 스토리지 전극(314a)의 내부 표면에만 HSG 폴리실리콘 노즐(316)을 갖는 커패시터 하부전극(320)이 완성된다.

여기서, 상기 주형층(311)은 식각되지 않고 남아 후속 금속 콘택 형성 공정시 콘택을 형성을 위한 층간절연막으로 사용된다. 이때, 상기 습식 식각 공정시, 상기 산화막(318)이 제거되는 동안 상기 산화막(310)의 일부가 제거되어 금속 콘택이 형성되는 영역의 층간절연막의 두께를 감소시키므로 금속 콘택홀의 단차를 줄이게 된다.

후속 공정으로, 커패시터 유전막(도면에 미도시)과 플레이트 폴리실리콘막(도면에 미도시)이 차례로 증착되어 HSG 폴리실리콘 노즐(316)을 갖는 실린더 구조의 DRAM 셀 커패시터가 완성된다. 한편, 상기 커패시터 유전체막 형성 전에 상기 스토리지 전극(314a)을 도핑시키기 위해, 고농도의 PH3 어닐링(annealing) 공정이 더 수행된다.

상술한 바와 같이, 본 발명의 제 4 실시예에 따른 DRAM 셀 커패시터는, 상기 제 1 및 제 3 실시예에서와 마찬가지로, 상기 오프닝(312)의 확장으로 실린더 내부의 영역이 기존보다 증가되었기 때문에, HSG 폴리실리콘 노즐(316) 형성 뿐 아니라, 상기 커패시터 유전체막 및 플레이트 폴리실리콘 증착 공정의 어려움이 없게 된다.

또한, 상기 커패시터 하부전극(320)의 표면적이 기존 대비(HSG 폴리실리콘 노즐을 갖는 스택 구조) 크게 증가되기 때문에 상기 커패시터 유전체막은 TaO 또는 BST 등의 고유전체막 대신 NO 또는 ONO로 대체 가능하고, 스토리지 전극(314a)의 높이가 기존(10000Å) 대비 9000Å 이하로 감소된다. 또한, 상기 주형층(311)이 후속 공정에서 그대로 사용되도록 함으로써 공정 단가를 줄이게 된다.

(실시예 5)

도 6a 내지 도 6e는 본 발명의 제 5 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 6a를 참조하면, 본 발명의 제 5 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법은 먼저, 반도체 기판(도면에 미도시) 상에 층간절연막(400), 실리콘 질화막(402), 산화막(403), 그리고 제 1 반사 방지막(first anti-reflective coating layer)(404)이 차례로 증착된다. 상기 실리콘 질화막(402)은 커패시터 유전체막 형성 등과 같은 후속 산화 공정시 층간절연막(400) 내의 비트 라인(도면에 미도시)이 산화되는 것을 방지하기 위해 형성되는 것으로, 50Å 내지 100Å의 두께 범위 내로 형성된다. 바람직하게, 약 70Å의 두께를 갖도록 형성된다. 상기 산화막(403)은 예를 들어, PE-TEOS 산화막으로서 약 500Å의 두께를 갖도록 형성된다. 상기 제 1 반사 방지막(404)은 예를 들어, SiON으로 형성되고 100Å 내지 1000Å의 두께 범위 내로 형성되며 바람직하게, 260Å의 두께를 갖도록 형성된다. 일반적으로, 반사 방지막은 고집적 소자에서 포토 공정시 거의 필수적으로 사용되고 있으며, 패턴(pattern) 형성에 문제가 없도록 레지스트 노광(resist exposure)시 반사(reflections)를 최소화하기 위해 레지스트 형성 전에 웨이퍼(wafer) 상에 증착되는 물질층이다.

스토리지 콘택홀 형성 마스크를 사용하여 상기 제 1 반사 방지막(404), 산화막(403), 실리콘 질화막(402), 그리고 층간절연막(400)이 차례로 식각되어 스토리지 전극 콘택홀(406)이 형성된다. 상기 스토리지 전극 콘택홀(406)이 예를 들어, 폴리실리콘, TiN, Ti, W, WSix, 그리고 이들의 복합막 중 어느 하나의 도전 물질로 완전히 채워진 후, 상기 스토리지 전극 콘택홀(406) 양측의 제 1 반사 방지막(404)의 상부 표면이 노출될 때까지 상기 도전 물질이 에치 백 공정 등으로 평탄화 식각된다. 그러면, 스토리지 전극 콘택 플러그(408)가 형성된다.

상기 콘택 플러그(408) 및 제 1 반사 방지막(404) 상에 스토리지 전극 형성을 위한 주형층으로서, 적어도 스토리지 전극 높이 이상의 산화막(410)이 증착된다. 상기 산화막(410)은 예를 들어, PE-TEOS 산화막으로서 약 9000Å의 두께를 갖도록 증착된다. 상기 산화막(410) 상에 제 2 반사 방지막(second anti-reflective coating layer)(411)이 형성된다. 상기 제 2 반사 방지막(411)은 예를 들어, 상기 제 1 반사 방지막(404)과 동일한 물질 즉, SiON으로 형성되고 100Å 내지 1000Å의 두께 범위를 갖도록 형성된다. 바람직하게, 260Å의 두께를 갖도록 형성된다.

상기 제 2 반사 방지막(411) 상에 스토리지 전극 형성용 마스크 예를 들어, 포토레지스트 패턴(412)이 형성된다. 상기 포토레지스트 패턴(412)을 마스크로 사용하여 상기 제 1 반사 방지막(404)의 상부 표면이 노출될 때까지 산화막(410)이 식각되어 스토리지 전극용 오프닝(413)이 형성된다.

도 6b에 있어서, 상기 포토레지스트 패턴(412)이 제거된 후, 제 2 반사 방지막(411)이 제거된다. 상기 제 2 반사 방지막(411) 제거시 상기 오프닝(413) 하부에 노출된 제 1 반사 방지막(404)도 함께 제거되어 상기 산화막(403)이 노출된다.

다음, 본 발명의 핵심 공정 중의 하나인 상기 산화막(410)의 일부 즉, 적어도 스토리지 전극 물질의 두께 이상이 식각 되도록 하기 위한 습식 식각 공정이 수행된다. 그러면, 상기 포토레지스트 패턴(412)에 의해 정의된 오프닝(413)의 크기보다 확장된 오프닝(413a)이 형성된다. 오프닝(413)은 디자인 룰에 의한 스토리지 전극의 피치(pitch) 보다 약 10nm 만큼 작은 크기까지 확장 가능하다. 즉, 인접한 확장된

오프닝(413a) 사이의 단축 방향의 거리는 최소 약 10nm가 된다. 여기서, 확장 전 후의 오프닝(413)의 크기의 차이는 최대 약 160nm가 된다. 한편, 상기 산화막(410) 식각시 제 1 반사 방지막(404) 하부의 산화막(403)의 일부도 함께 식각 된다. 이와 같이, 습식 식각 공정을 통해 확장된 오프닝(413a)을 형성함으로써, 포토리소그래피 공정의 한계를 극복할 수 있고 실린더형 스토리지 전극의 내부 체적을 크게 증가시키게 된다.

도 6c를 참조하면, 상기 확장된 오프닝(413a)의 굴곡을 따라 산화막(410) 상에 스토리지 전극막(414)이 증착 된다. 여기서, 상기 스토리지 전극막(414)은 HSG 폴리실리콘 노즐 적용을 위해 비정질 실리콘이 사용되고, 약 500Å의 두께로 형성된다. 상기 스토리지 전극막(414) 상에 HSG 폴리실리콘 노즐(416)이 형성된다. 상기 HSG 폴리실리콘 노즐(416)은 300Å 이상의 두께를 갖도록 형성된다.

상기 확장된 오프닝(413a)이 완전히 채워질 때까지 HSG 폴리실리콘 노즐(416) 및 스토리지 전극막(414) 상에 산화막(418)이 증착 된다. 상기 산화막(418)은 예를 들어, PE-TEOS 산화막으로서 약 200nm 이상의 두께로 증착 된다.

도 6d에 있어서, 상기 확장된 오프닝(413a) 양측의 산화막(410)의 상부 표면이 노출될 때까지 상기 산화막(418), HSG 폴리실리콘 노즐(416), 그리고 스토리지 전극막(414)이 CMP 공정 등으로 평탄화 식각 된다. 그러면, 스토리지 전극막(414)이 부분적으로 격리되어 스토리지 전극(414a)이 형성된다.

마지막으로, 상기 제 1 반사 방지막(404)을 식각 정지층으로 사용하여 상기 산화막들(410, 418)이 제거 되면 스토리지 전극(414a)의 내부 표면에만 HSG 폴리실리콘 노즐(416)이 형성된 커패시터 하부 전극이 형성된다. 상기 산화막들(410, 418)의 제거 공정은 예를 들어, BOE 등의 습식 케미컬을 사용하여 수행 된다. 커패시터 하부 전극의 저항을 감소시키기 위한 고농도 PH3 어닐링 공정이 수행된 후, 반도체 기판 전면에 커패시터 유전체막(420) 및 플레이트 전극(422)이 차례로 형성되어 도 6e에 도시된 바와 같이, 본 발명에 따른 HSG 폴리실리콘 노즐(416)을 갖는 실린더형 DRAM 셀 커패시터(430)가 완성된다. 여기서, 상기 커패시터 유전체막(420)은 예를 들어, 8nm 내지 10nm의 두께 범위를 갖는 NO막으로 형성되고, 플레이트 전극(422)은 약 155nm의 폴리실리콘막을 증착 하여 약 135nm의 두께로 형성된다.

한편, 상기 제 2 실시예에서와 같이, 상기 산화막(418) 형성 전에 상기 산화막들(410, 418)을 제거하기 위한 습식 공정 등에 의해 HSG 폴리실리콘 노즐(416)이 어택 되어 떨어져 나가는 것을 방지하기 위해서 HSG 폴리실리콘 노즐(416) 및 스토리지 전극막(414) 상에 식각 배리어막(도면에 미도시)이 더 형성될 수 있다. 상기 식각 배리어막은 산화막에 대해 식각 선택비를 갖는 물질로 형성되고 예를 들어, TiN막 또는 Ti막 또는 실리콘 질화막 등으로 형성된다. 상기 식각 배리어막은 상기 커패시터 유전체막(420) 형성 전에 수행되는 전 세정 공정 수행시 제거된다.

(실시예 6)

도 7a 내지 도 7e는 본 발명의 제 6 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 7a를 참조하면, 본 발명의 제 6 실시예에 따른 고집적 DRAM 셀 커패시터의 제조 방법은, 먼저 반도체 기판(도면에 미도시) 상에 층간절연막(500), 실리콘 질화막(502), 그리고 제 1 반사 방지막(503)이 차례로 형성된다. 상기 실리콘 질화막(502)은 PECVD 방법으로 30nm 내지 100nm의 두께 범위를 갖도록 형성되며 바람직하게 약 100nm의 두께를 갖도록 형성된다. 상기 실리콘 질화막(502)은 커패시터 유전체막 형성 등과 같은 후속 산화 공정시 층간절연막(500) 내의 비트 라인(도면에 미도시)이 산화되는 것을 방지하기 위해 형성된다. 상기 제 1 반사 방지막(503)은 예를 들어, SiON막으로서 100Å 내지 1000Å의 두께 범위 내로 형성되고 바람직하게 260Å의 두께를 갖도록 형성된다.

상기 제 1 반사 방지막(503), 실리콘 질화막(502), 그리고 층간절연막(500)이 차례로 식각 되어 스토리지 전극 콘택홀(504)이 형성된다. 상기 스토리지 전극 콘택홀(504)에 예를 들어, 폴리실리콘, TiN, Ti, W, WSix, 그리고 이들의 복합막 중 어느 하나의 도전 물질로 완전히 채워진 후, 이 도전 물질이 상기 스토리지 전극 콘택홀(504) 양측의 제 1 반사 방지막(503)의 상부 표면이 노출될 때까지 에치 백 공정 등으로 평탄화 식각 된다. 그러면, 스토리지 전극 콘택 플러그(506)가 형성된다.

상기 콘택 플러그(506) 및 제 1 반사 방지막(503) 상에 스토리지 전극 형성을 위한 주형층으로서, 적어도 스토리지 전극 높이 이상을 갖는 산화막(508)이 증착 된다. 상기 산화막(508)은 예를 들어, PE-TEOS 산화막으로서 약 10000Å의 두께를 갖도록 증착 된다. 상기 산화막(508) 상에 제 2 반사 방지막(509)이 형성된다. 상기 제 2 반사 방지막(509)은 예를 들어, 상기 제 1 반사 방지막(503)과 동일한 물질 즉, SiON으로 형성되고 100Å 내지 1000Å의 두께 범위를 갖도록 형성된다. 바람직하게, 260Å의 두께를 갖도록 형성된다.

상기 제 2 반사 방지막(509) 상에 스토리지 전극 형성용 마스크 예를 들어, 포토레지스트 패턴(510)이 형성된다. 상기 포토레지스트 패턴(510)을 마스크로 사용하여 상기 제 1 반사 방지막(503)의 상부 표면이 노출될 때까지 산화막(508)이 식각 되어 스토리지 전극용 오프닝(512)이 형성된다.

도 7b에 있어서, 상기 포토레지스트 패턴(510)이 제거된 후, 제 2 반사 방지막(509)이 제거된다. 상기 제 2 반사 방지막(509) 제거시 상기 오프닝(512)의 하부에 노출된 제 1 반사 방지막(503)도 함께 제거되어 상기 실리콘 질화막(502)이 노출된다.

다음, 본 발명의 핵심 공정 중의 하나인 상기 산화막(508)의 일부를 제거하는 습식 식각 공정이 수행된다. 이 습식 식각 공정에 의해 상기 산화막(508)은 적어도 스토리지 전극 물질의 두께 이상으로 식각 된다. 그 결과로, 상기 포토레지스트 패턴(510)에 의해 정의된 오프닝(512)의 크기보다 확장된 오프닝(512a)이 형성된다. 상기 오프닝(512)은 디자인 룰에 의한 스토리지 전극의 피치(pitch) 보다 약 10nm 만큼 작은 크기까지 확장 가능하다. 즉, 인접한 확장된 오프닝(512a) 사이의 단축 방향의 거리는 최소 약 10nm가 된다. 상기 오프닝(512)의 확장 전 후의 크기의 차이는 최대 약 160nm가 된다. 이와 같이, 습식 식각 공정을 통해 상기 확장된 오프닝(512a)을 형성함으로써, 포토리소그래피 공정의 한계를

극복할 수 있고 실린더형 스토리지 전극의 내부 체적을 크게 증가시키게 된다.

도 7c를 참조하면, 상기 확장된 오프닝(512a)의 굴곡을 따라 산화막(508) 상에 스토리지 전극막(514)이 증착된다. 여기서, 상기 스토리지 전극막(514)은 HSG 폴리실리콘 노출을 형성하기 위해 비정질 실리콘으로 형성되고, 약 400Å 내지 500Å의 두께 범위 내로 형성된다. 상기 스토리지 전극막(514) 상에 약 300Å 이상의 두께를 갖는 HSG 폴리실리콘 노출(516)이 형성된다.

상기 확장된 오프닝(512a)이 완전히 채워질 때까지 HSG 폴리실리콘 노출(516) 및 스토리지 전극막(514) 상에 산화막(518)이 증착된다. 상기 산화막(518)은 예를 들어, PE-TEOS 산화막으로서 약 200nm 이상의 두께를 갖도록 증착된다. 이때, 상기 산화막(518) 증착시 공정 조건을 조절하여 상기 확장된 오프닝(512a) 내에 채워진 산화막(518)이 보이드(519)를 갖도록 형성된다. 이것은 후속 산화막(518) 습식 식각 공정에서 그 식각량을 줄이기 위함이다.

도 7d에 있어서, 상기 확장된 오프닝(512a) 양측의 산화막(508)의 상부 표면이 노출될 때까지 상기 산화막(518) 및 스토리지 전극막(514)의 일부가 평탄화 식각된다. 그러면, 스토리지 전극막(514)이 부분적으로 격리되어 실린더 구조의 스토리지 전극(514a)이 형성된다.

마지막으로, 상기 확장된 오프닝(512a) 내에 잔존하는 산화막(518)이 예를 들어, BOE 등의 습식 케미컬에 의해 제거된다. 그러면, 스토리지 전극(514a)의 내부 표면에만 HSG 폴리실리콘 노출(516)을 갖는 커패시터 하부전극이 형성된다.

상기 산화막(508)은 식각되지 않고 남아 후속 금속 콘택 형성시 콘택홀 형성을 위한 층간절연막으로 사용된다. 이때, 상기 산화막(518) 제거 공정시 산화막(508)의 일부가 제거됨으로써, 금속 콘택이 형성되는 영역의 층간절연막의 두께를 감소시키므로 금속 콘택홀의 단차를 줄이게 된다.

다음, 상기 스토리지 전극(514a)을 포함하여 산화막(508) 상에 커패시터 유전체막(520) 및 플레이트 전극(522)이 차례로 형성되어 도 7e에 도시된 바와 같이, HSG 폴리실리콘 노출(516)을 갖는 실린더 구조의 DRAM 셀 커패시터(530)가 완성된다. 여기서, 상기 커패시터 유전체막(520)은 예를 들어, 8nm 내지 10nm의 두께 범위를 갖는 N0막으로 형성되고, 플레이트 전극(522)은 약 155nm의 폴리실리콘막을 증착하여 약 135nm의 두께로 형성된다.

한편, 상기 커패시터 유전체막(520) 형성 전에 상기 커패시터 하부전극의 저항을 감소시키기 위한 고농도 PH3 어닐링 공정이 더 수행된다.

발명의 효과

본 발명은 스토리지 전극용 오프닝 형성시 식각 정지층을 사용하여 스토리지 전극 콘택 플러그를 돌출 형태로 형성함으로써, 스토리지 전극 콘택 플러그의 스토리지 전극 지지 기능을 향상시킬 있고, 스토리지 전극 콘택 플러그의 오버레이 마진을 증가시킬 수 있는 효과가 있다.

그리고, 본 발명은 스토리지 전극 오프닝을 습식 식각 공정으로 최대한 확장시키고, 실린더형 스토리지 전극의 내부 표면 또는 스토리지 전극의 내부 표면 및 상부 표면에 HSG 폴리실리콘 노출이 형성되도록 함으로써, 포토 공정의 한계를 극복할 수 있고, 콘택 플러그와 오프닝의 오정렬(misalign)을 방지할 수 있으며, 기존 실린더 구조의 스토리지 전극의 공정 한계를 극복할 수 있는 효과가 있다. 또한, 스토리지 전극의 표면적을 증가시킬 수 있으며, 따라서 스토리지 전극의 높이를 감소시킬 수 있는 효과가 있다. 또한, 스토리지 전극의 외부 표면에 HSG 폴리실리콘 노출이 형성되지 않도록 함으로써 인접한 스토리지 전극간 단락을 방지할 수 있는 효과가 있다.

스토리지 전극 형성을 위한 주형층을 후속 금속 콘택 형성시 콘택홀 형성을 위한 층간절연막으로 사용되도록 함으로써, 공정 단가를 줄일 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

- (a) 반도체 기판 상에 산화막 및 질화막을 포함하는 다층의 제 1 절연층을 형성하는 단계;
- (b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘택홀을 형성하는 단계;
- (c) 상기 스토리지 전극 콘택홀을 도전 물질로 채워서 스토리지 전극 콘택 플러그를 형성하는 단계;
- (d) 상기 스토리지 전극 콘택 플러그 및 제 1 절연층 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)을 형성하고, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 절연층의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계;
- (e) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계;
- (f) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계;
- (g) 상기 스토리지 전극막의 표면에 HSG 노출(hemispherical grain nodule)을 형성하는 단계;
- (h) 상기 오프닝을 완전히 채울 때까지 HSG 노출 및 스토리지 전극막 상에 제 2 절연층을 형성하는 단계; 및
- (i) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층, HSG 노출, 그리고 스토리지 전극막을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계를 포함하

는 DRAM 셀 커패시터의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 오프닝 형성 단계(d)는, 상기 주형층을 부분적으로 식각 하되, 상기 제 1 절연층의 가장 상부의 질화막을 식각 정지층(etch stopping layer)으로 사용하여 상기 스토리지 전극 콘택 플러그가 돌출된(protrusive) 구조를 갖도록 수행되는 DRAM 셀 커패시터의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 오프닝을 확장시키는 단계(e)는, 적어도 상기 주형층이 스토리지 전극막 두께 이상으로 식각 되도록 습식 식각 방법으로 수행되고, 상기 오프닝은 디자인 룰에 의한 스토리지 전극의 피치(pitch)보다 약 10nm 만큼 작은 크기까지 확장 가능한 DRAM 셀 커패시터의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 제 2 절연층 형성 단계(h) 전에, HSG 노즐의 굴곡을 따라 스토리지 전극막 상에 HSG 노즐을 보호하기 위한 물질층을 형성하는 단계를 더 포함하는 DRAM 셀 커패시터의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 물질층은, Ti 및 TiN 중 어느 하나인 DRAM 셀 커패시터의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 스토리지 전극 형성 단계(i) 후, 상기 주형층 및 제 2 절연층을 습식 식각으로 제거하는 단계; 및 상기 HSG 노즐을 갖는 스토리지 전극 및 제 1 절연층 상에 커패시터 유전체막 및 플레이트 전극을 차례로 형성하여 커패시터를 형성하는 단계를 더 포함하는 DRAM 셀 커패시터의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 커패시터는 적어도 28 fF/cell 이상의 커패시턴스를 갖는 DRAM 셀 커패시터의 제조 방법.

청구항 8

(a) 반도체 기판 상에 산화막 및 질화막을 포함하는 다층의 제 1 절연층을 형성하는 단계;

(b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘택홀을 형성하는 단계;

(c) 상기 스토리지 전극 콘택홀을 도전 물질로 채워서 스토리지 전극 콘택 플러그를 형성하는 단계;

(d) 상기 스토리지 전극 콘택 플러그 및 제 1 절연층 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)을 형성하되, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 절연층의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계;

(e) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계;

(f) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계;

(g) 상기 오프닝을 완전히 채울 때까지 스토리지 전극막 상에 제 2 절연층을 형성하되, 상기 주형층에 대해 식각 선택비를 갖는 물질로 형성하는 단계;

(h) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층 및 스토리지 전극막을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계;

(i) 상기 오프닝 내부의 제 2 절연층을 제거하는 단계; 및

(j) 상기 스토리지 전극의 내부 표면(inner surface) 및 스토리지 전극의 상부 표면(top surface) 상에 HSG 노즐을 형성하는 단계를 포함하는 DRAM 셀 커패시터의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 오프닝 형성 단계(d)는, 상기 주형층을 부분적으로 식각 하되, 상기 제 1 절연층의 가장 상부의 질화막을 식각 정지층(etch stopping layer)으로 사용하여 상기 스토리지 전극 콘택 플러그가 돌출된 구조를 갖도록 수행되는 DRAM 셀 커패시터의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 오프닝을 확장시키는 단계(e)는, 적어도 상기 주형층이 스토리지 전극막 두께 이상으로 식각 되도록 습식 식각 방법으로 수행되고, 상기 오프닝은 디자인 룰에 의한 스토리지 전극의 피치(pitch)보다 약 10nm 만큼 작은 크기까지 확장 가능한 DRAM 셀 커패시터의 제조 방법.

청구항 11

제 8 항에 있어서,

상기 주형층은 산화막으로 형성되고, 상기 제 2 절연층은 질화막으로 형성되는 DRAM 셀 커패시터의 제조 방법.

청구항 12

제 8 항에 있어서,

상기 HSG 노즐 형성 단계(j) 후, 상기 HSG 노즐을 갖는 스토리지 전극 및 주형층 상에 커패시터 유전체막 및 플레이트 전극을 차례로 형성하여 커패시터를 형성하는 단계를 더 포함하는 DRAM 셀 커패시터의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 커패시터는 적어도 28 fF/cell 이상의 커패시턴스를 갖는 DRAM 셀 커패시터의 제조 방법.

청구항 14

(a) 반도체 기판 상에 산화막 및 질화막을 포함하는 다층의 제 1 절연층을 형성하는 단계;

(b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘택홀을 형성하는 단계;

(c) 상기 스토리지 전극 콘택홀을 도전 물질로 채워서 스토리지 전극 콘택 플러그를 형성하는 단계;

(d) 상기 스토리지 전극 콘택 플러그 및 제 1 절연층 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)을 형성하되, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 절연층의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계;

(e) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계;

(f) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계;

(g) 상기 스토리지 전극막의 표면에 HSG 노즐(hemispherical grain nodule)을 형성하는 단계;

(h) 상기 오프닝을 완전히 채울 때까지 스토리지 전극막 상에 제 2 절연층을 형성하되, 상기 오프닝 내에 채워진 제 2 절연층이 보이드를 갖도록 형성하는 단계;

(i) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계; 및

(j) 상기 오프닝 내부의 제 2 절연층을 제거하는 단계를 포함하는 DRAM 셀 커패시터의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 오프닝 형성 단계(d)는, 상기 주형층을 부분적으로 식각 하되, 상기 제 1 절연층의 가장 상부의 질화막을 식각 정지층(etch stopping layer)으로 사용하여 상기 스토리지 전극 콘택 플러그가 돌출된 구조를 갖도록 수행되는 DRAM 셀 커패시터의 제조 방법.

청구항 16

제 14 항에 있어서,

상기 오프닝을 확장시키는 단계(e)는, 적어도 상기 주형층이 스토리지 전극막 두께 이상으로 식각 되도록 습식 식각 방법으로 수행되고, 상기 오프닝은 디자인 룰에 의한 스토리지 전극의 피치(pitch)보다 약 10nm 만큼 작은 크기까지 확장 가능한 DRAM 셀 커패시터의 제조 방법.

청구항 17

제 14 항에 있어서,

상기 주형층 및 제 2 절연층은 산화막으로 형성되는 DRAM 셀 커패시터의 제조 방법.

청구항 18

제 14 항에 있어서,

상기 오프닝 내부의 제 2 절연층 제거 단계(j) 후, 상기 HSG 노즐을 갖는 스토리지 전극 및 주형층 상에 커패시터 유전체막 및 플레이트 전극을 차례로 형성하여 커패시터를 형성하는 단계를 더 포함하는 DRAM

셀 커패시터의 제조 방법.

청구항 19

제 18 항에 있어서,

상기 커패시터는 적어도 28 fF/cell 이상의 커패시턴스를 갖는 DRAM 셀 커패시터의 제조 방법.

청구항 20

(a) 반도체 기판 상에 제 1 절연층 및 제 1 반사 방지막을 차례로 형성하는 단계;

(b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 반사 방지막 및 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘택홀을 형성하는 단계;

(c) 상기 스토리지 전극 콘택홀을 도전 물질로 채워서 스토리지 전극 콘택 플러그를 형성하는 단계;

(d) 상기 스토리지 전극 콘택 플러그 및 제 1 반사 방지막 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)과, 제 2 반사 방지막을 차례로 형성하되, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 반사 방지막의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계;

(e) 상기 제 2 반사 방지막 및 상기 오프닝 하부의 제 1 반사 방지막을 제거하는 단계;

(f) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계;

(g) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계;

(h) 상기 스토리지 전극막의 표면에 HSG 노즐(hemispherical grain nodule)을 형성하는 단계;

(i) 상기 오프닝을 완전히 채울 때까지 HSG 노즐 및 스토리지 전극막 상에 제 2 절연층을 형성하는 단계;

(j) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층, HSG 노즐, 그리고 스토리지 전극막을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계;

(k) 상기 주형층 및 제 2 절연층을 제거하는 단계; 및

(l) 상기 HSG 노즐을 갖는 스토리지 전극 및 제 1 절연층 상에 커패시터 유전체막 및 플레이트 전극을 차례로 형성하여 커패시터를 형성하는 단계를 포함하는 DRAM 셀 커패시터의 제조 방법.

청구항 21

제 20 항에 있어서,

상기 오프닝을 확장시키는 단계(f)는, 적어도 상기 주형층이 스토리지 전극막 두께 이상으로 식각 되도록 습식 식각 방법으로 수행되고, 상기 오프닝은 디자인 룰에 의한 스토리지 전극의 피치(pitch)보다 약 10nm 만큼 작은 크기까지 확장 가능한 DRAM 셀 커패시터의 제조 방법.

청구항 22

제 20 항에 있어서,

상기 제 2 절연층 형성 단계(i) 전에, HSG 노즐의 굴곡을 따라 스토리지 전극막 상에 HSG 노즐을 보호하기 위한 물질층을 형성하는 단계를 더 포함하는 DRAM 셀 커패시터의 제조 방법.

청구항 23

제 22 항에 있어서,

상기 물질층은, Ti 및 TiN 중 어느 하나인 DRAM 셀 커패시터의 제조 방법.

청구항 24

제 20 항에 있어서,

상기 커패시터는 적어도 28 fF/cell 이상의 커패시턴스를 갖는 DRAM 셀 커패시터의 제조 방법.

청구항 25

(a) 반도체 기판 상에 제 1 절연층 및 제 1 반사 방지막을 차례로 형성하는 단계;

(b) 콘택홀 형성용 마스크를 사용하여 상기 제 1 반사 방지막 및 제 1 절연층을 부분적으로 식각(partially etch)하여 스토리지 전극 콘택홀을 형성하는 단계;

(c) 상기 스토리지 전극 콘택홀을 도전 물질로 채워서 스토리지 전극 콘택 플러그를 형성하는 단계;

(d) 상기 스토리지 전극 콘택 플러그 및 제 1 반사 방지막 상에 적어도 스토리지 전극 높이 이상의 주형층(mold layer)과, 제 2 반사 방지막을 차례로 형성하되, 상기 스토리지 전극 콘택 플러그의 상부 표면과 스토리지 전극 콘택 플러그 양측의 제 1 반사 방지막의 일부 표면이 노출되는 오프닝을 갖도록 형성하는 단계;

(e) 상기 제 2 반사 방지막 및 상기 오프닝 하부의 제 1 반사 방지막을 제거하는 단계;

- (f) 상기 오프닝의 양측벽의 일부를 식각 하여 오프닝을 확장시키는 단계;
- (g) 상기 오프닝의 굴곡을 따라 주형층 상에 상기 콘택 플러그와 전기적으로 접속되는 스토리지 전극막을 형성하는 단계;
- (h) 상기 스토리지 전극막의 표면에 HSG 노즐(hemispherical grain nodule)을 형성하는 단계;
- (i) 상기 오프닝을 완전히 채울 때까지 스토리지 전극막 상에 제 2 절연층을 형성하되, 상기 오프닝 내에 채워진 제 2 절연층이 보이드를 갖도록 형성하는 단계;
- (j) 상기 오프닝 양측의 주형층의 상부 표면이 노출될 때까지 상기 제 2 절연층, HSG 노즐, 그리고 스토리지 전극막을 평탄화 식각 하여 스토리지 전극막을 격리시켜 스토리지 전극을 형성하는 단계;
- (k) 상기 오프닝 내부의 제 2 절연층을 제거하는 단계; 및
- (l) 상기 HSG 노즐을 갖는 스토리지 전극 및 주형층 상에 커패시터 유전체막 및 플레이트 전극을 차례로 형성하여 커패시터를 형성하는 단계를 포함하는 DRAM 셀 커패시터의 제조 방법.

청구항 26

제 25 항에 있어서,

상기 오프닝을 확장시키는 단계(f)는, 적어도 상기 주형층이 스토리지 전극막 두께 이상으로 식각 되도록 습식 식각 방법으로 수행되고, 상기 오프닝은 디자인 룰에 의한 스토리지 전극의 피치(pitch)보다 약 10nm 만큼 작은 크기까지 확장 가능한 DRAM 셀 커패시터의 제조 방법.

청구항 27

제 25 항에 있어서,

상기 커패시터는 적어도 28 fF/cell 이상의 커패시턴스를 갖는 DRAM 셀 커패시터의 제조 방법.

청구항 28

반도체 기판 상에 형성된 절연층;

상기 절연층을 뚫고 반도체 기판과 전기적으로 접속되도록 형성되어 있되, 상기 절연층 표면에 실린더 구조로 형성된 스토리지 전극;

상기 스토리지 전극의 내부 표면(inner surface) 상에 형성된 HSG 노즐; 및

상기 HSG 노즐 및 스토리지 전극을 포함하여 절연층 상에 차례로 형성된 커패시터 유전체막 및 플레이트 전극을 포함하는 DRAM 셀 커패시터.

청구항 29

반도체 기판 상에 형성된 제 1 절연층;

상기 제 1 절연층을 뚫고 반도체 기판과 전기적으로 접속되도록 형성되어 있되, 상기 제 1 절연층 표면에 실린더 구조로 형성된 스토리지 전극;

상기 스토리지 전극의 내부 표면(inner surface) 및 스토리지 전극의 상부 표면(top surface) 상에 형성된 HSG 노즐;

상기 제 1 절연층 상에 스토리지 전극 양측과 접하도록 형성된 제 2 절연층; 및

상기 HSG 노즐 및 스토리지 전극을 포함하여 제 2 절연층 상에 차례로 형성된 커패시터 유전체막 및 플레이트 전극을 포함하는 DRAM 셀 커패시터.

청구항 30

반도체 기판 상에 형성된 제 1 절연층;

상기 제 1 절연층을 뚫고 반도체 기판과 전기적으로 접속되도록 형성되어 있되, 상기 절연층 표면에 실린더 구조로 형성된 스토리지 전극;

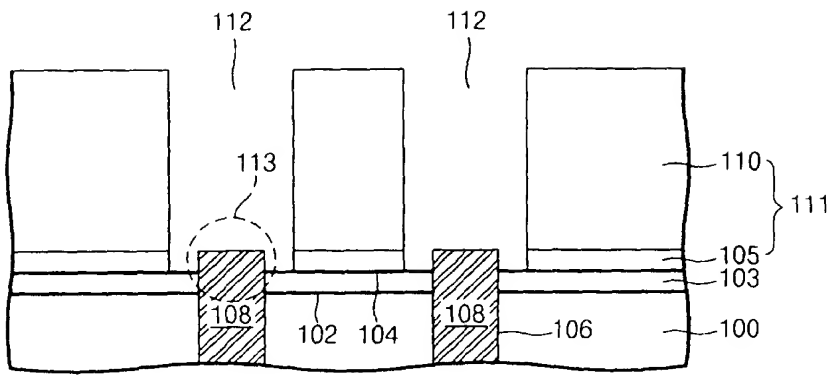
상기 스토리지 전극의 내부 표면(inner surface) 상에 형성된 HSG 노즐;

상기 제 1 절연층 상에 스토리지 전극 양측과 접하도록 형성된 제 2 절연층;

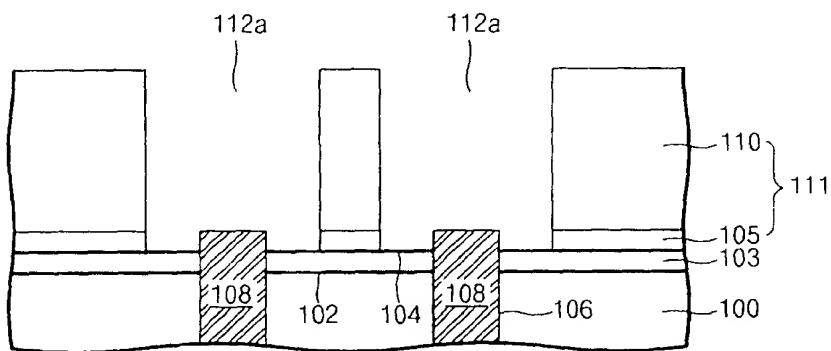
상기 HSG 노즐을 갖는 스토리지 전극 및 제 2 절연층 상에 차례로 형성된 커패시터 유전체막 및 플레이트 전극을 포함하는 DRAM 셀 커패시터.

도면

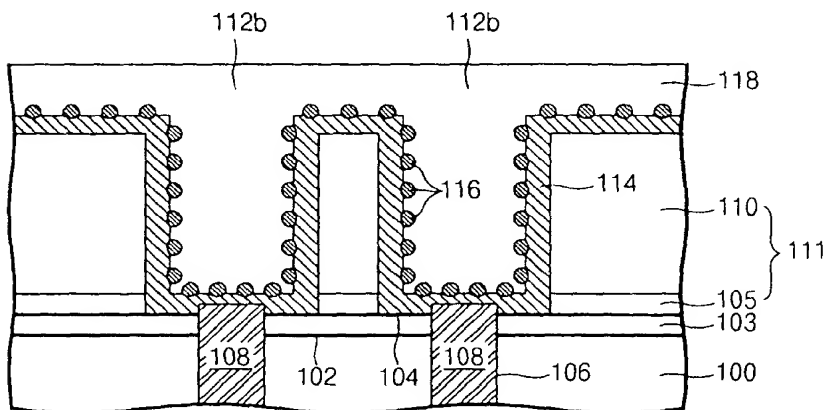
도면 1a



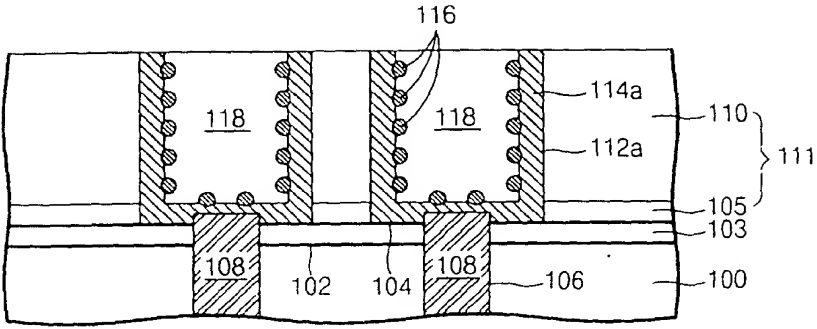
도면 1b



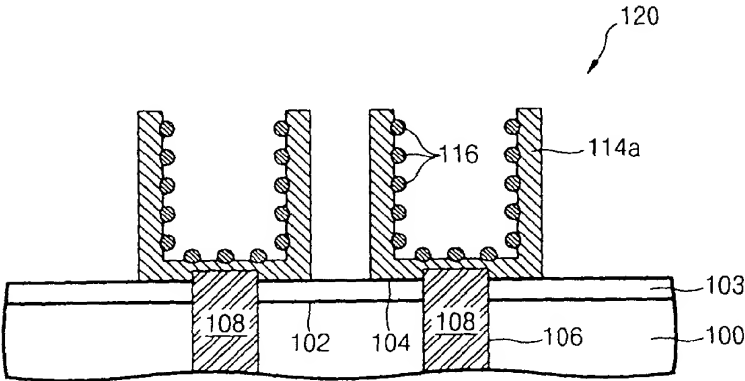
도면 1c



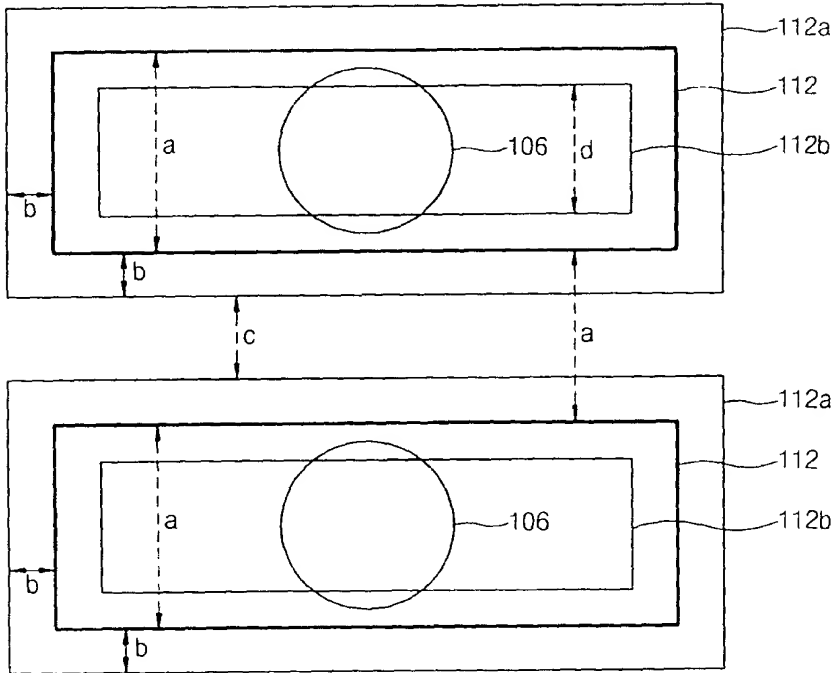
도면1d



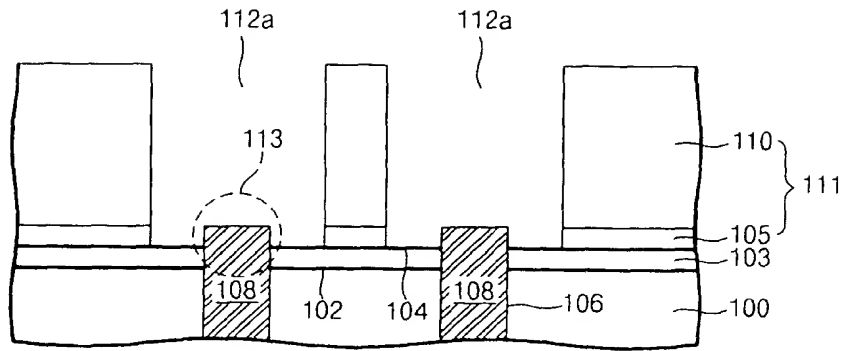
도면1e



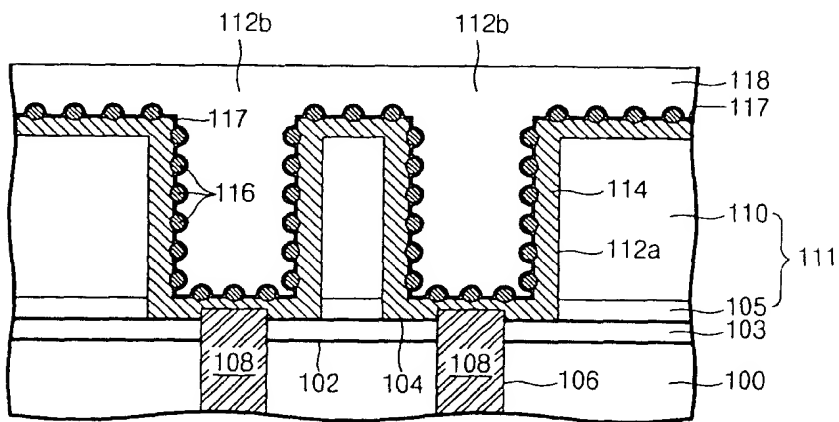
도면2



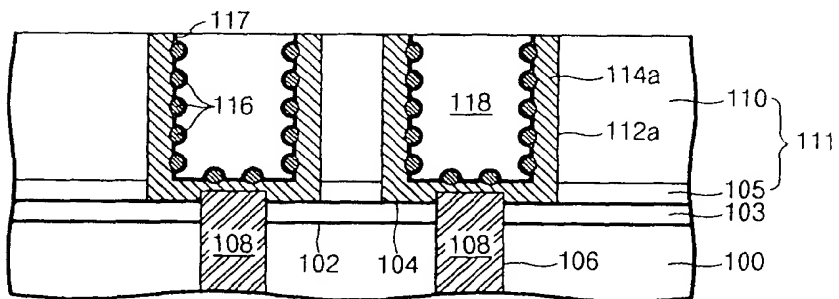
도면3a



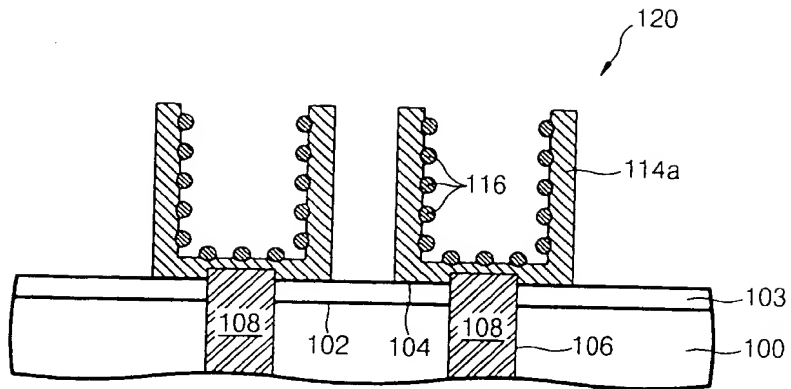
도면3b



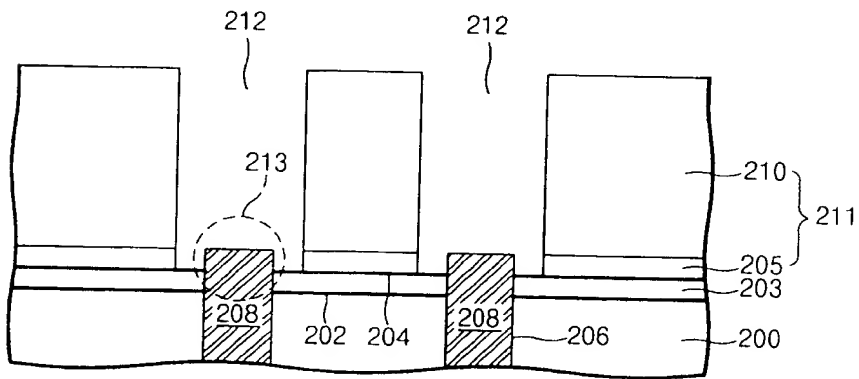
도면3c



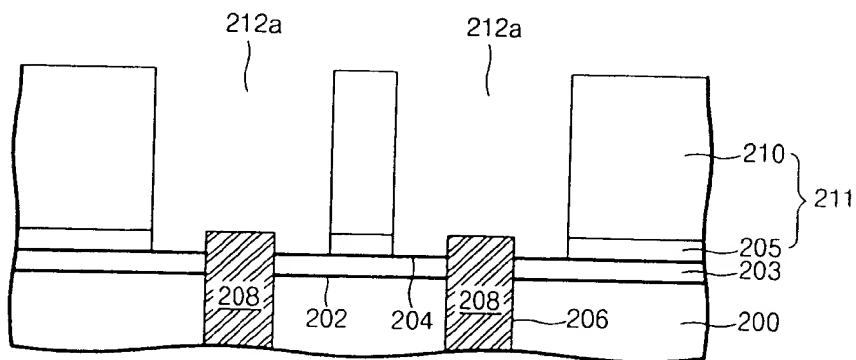
도면3d



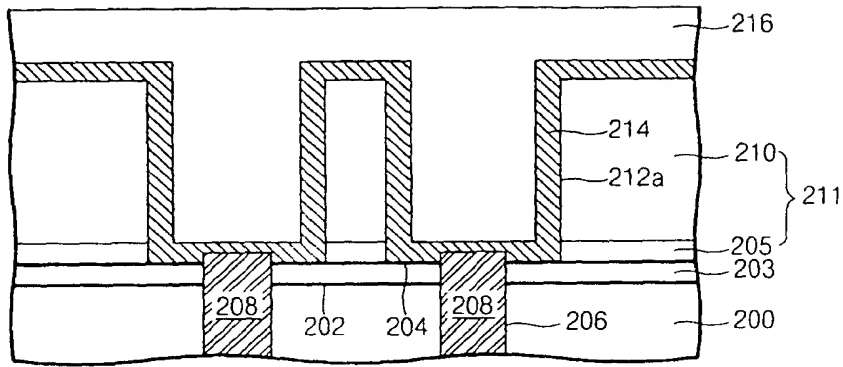
도면4a



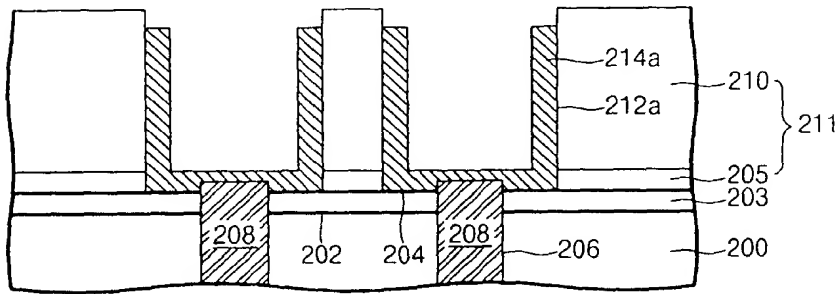
도면4b



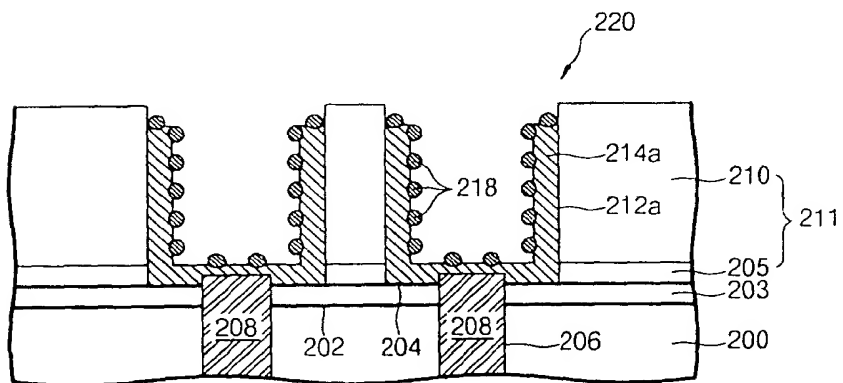
도면4c



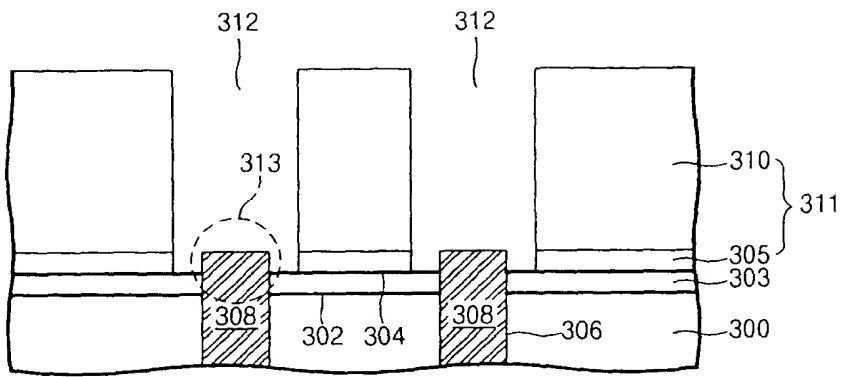
도면4d



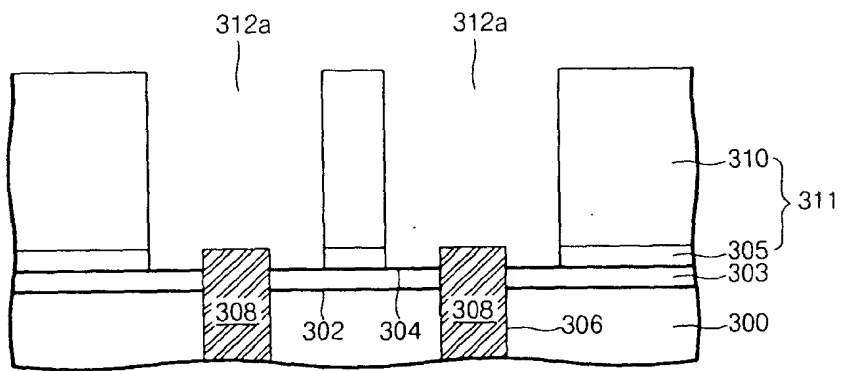
도면4e



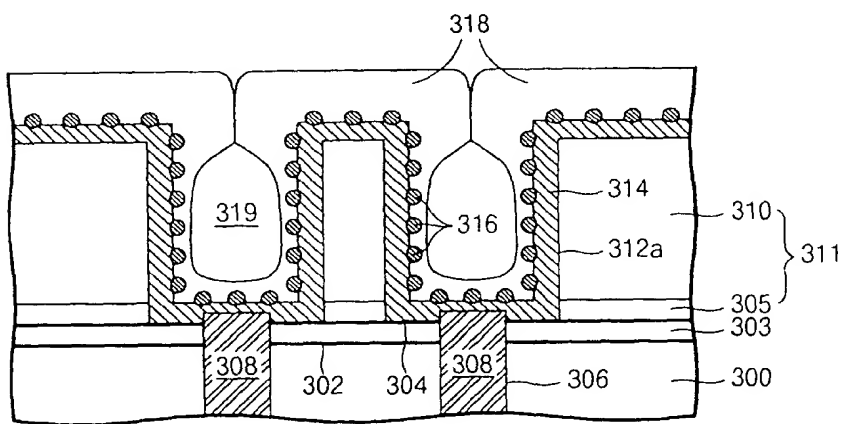
도면5a



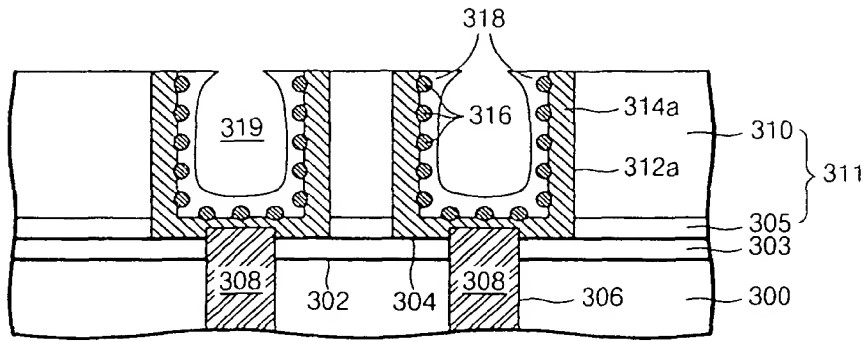
도면5b



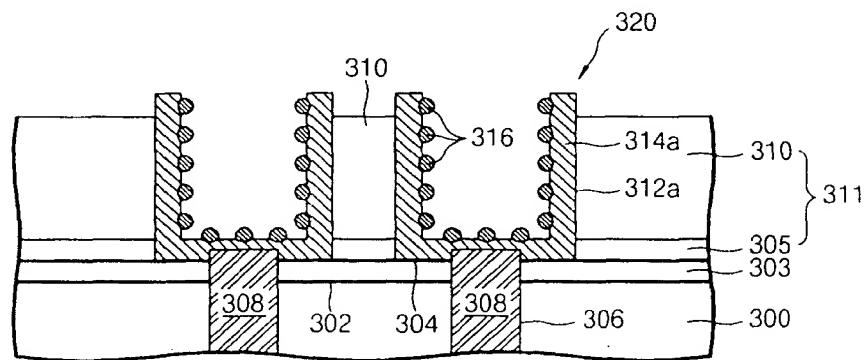
도면5c



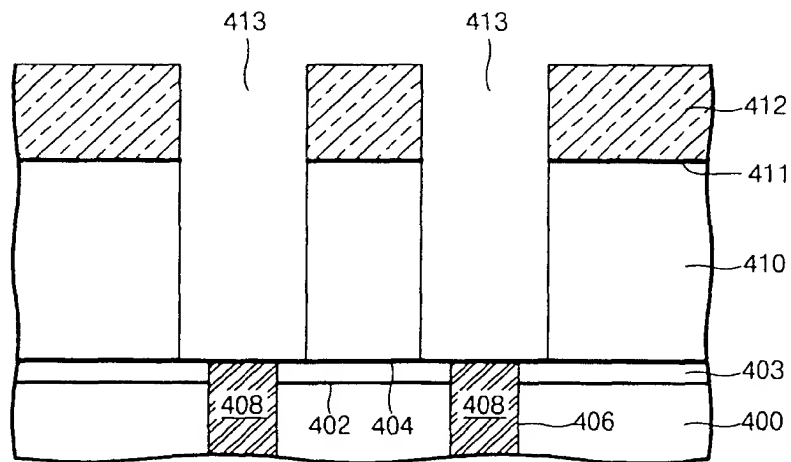
도면5d



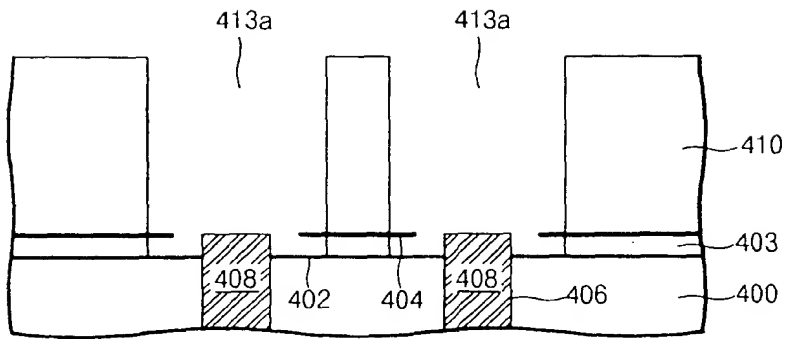
도면5e



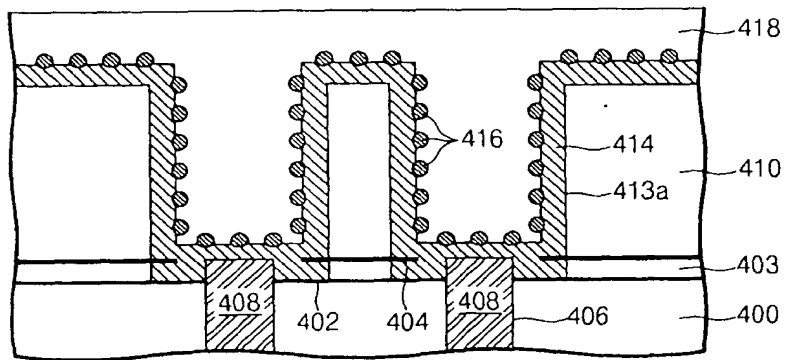
도면6a



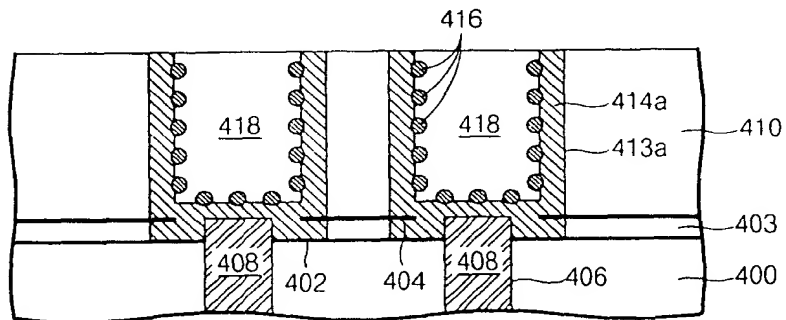
도면6b



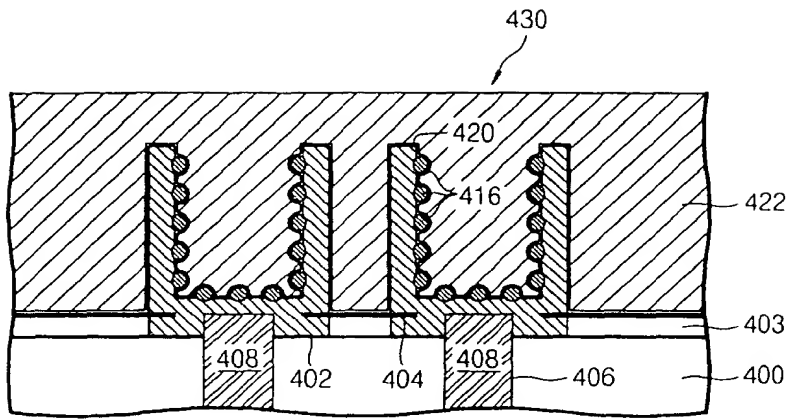
도면6c



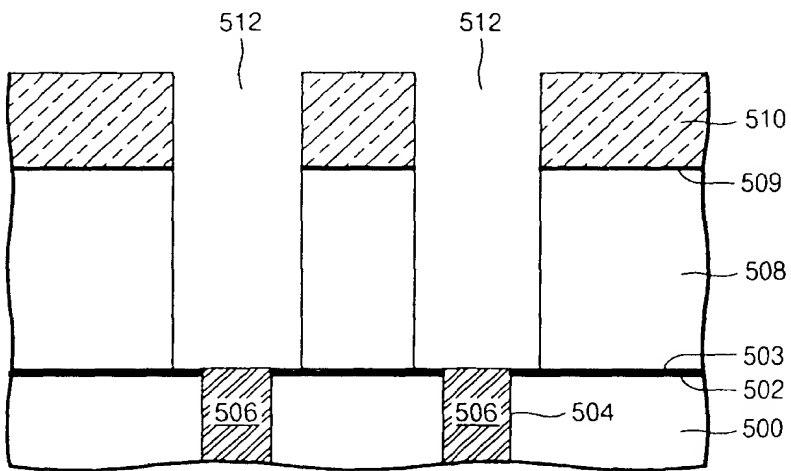
도면6d



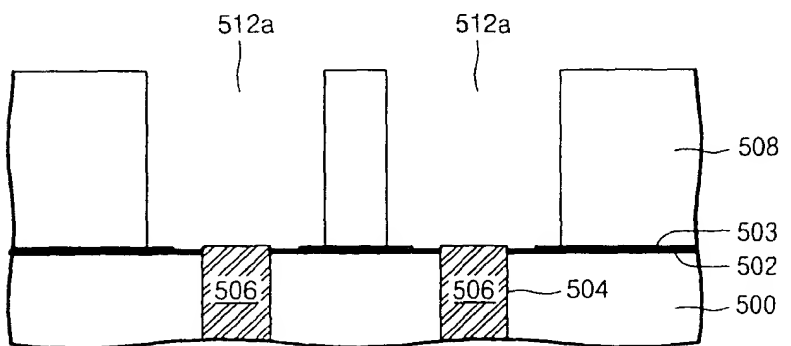
도면6e



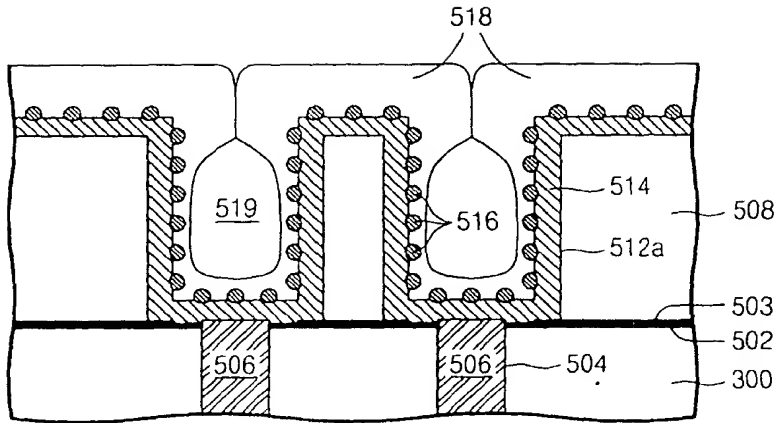
도면7a



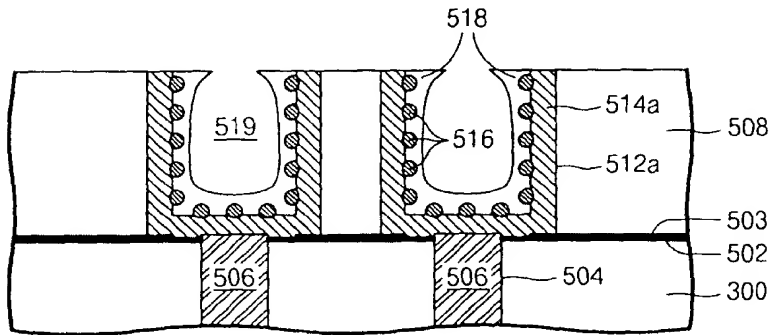
도면7b



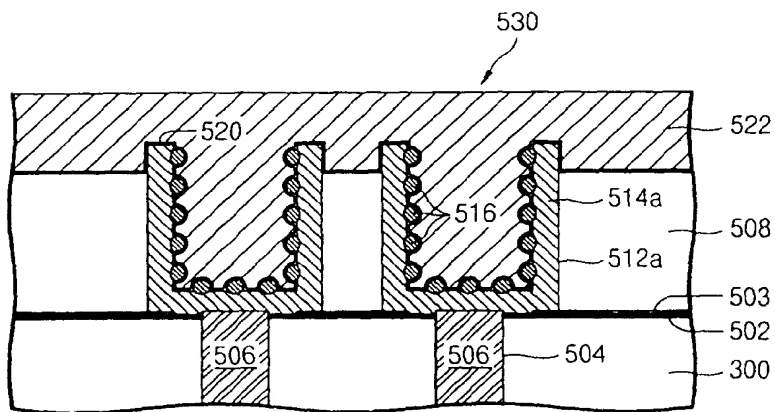
도면7c



도면7d



도면7e



引用例 2 ; 韓国公開特許特 2000-8804 号の抜粋訳文(p 26-6)

発明の名称—高集積ディラムセルキャパシタ及びその製造方法

～ ～ ～

発明の構成及び作用

図 1b において、前記ストレッジ電極形成用マスクが除去された後、本発明の核心工程の一つである前記柱状層 111 の一部を除去するウェットエッチング工程が遂行される。前記柱状層 111 は少なくとも形成されるストレッジ電極物質の厚さ以上にエッチングされる。これにより既存のストレッジ電極形成用のマスクによって定義された領域より拡張されたオープニング 112a が形成される。HSG ポリシリコンノジュールが形成されるための最小限のストレッジ電極物質の厚さは 40nm なので、前記オープニング 112 の両側壁がそれぞれ少なくとも 40nm 以上エッチングされるようにする。

次に、図 1c を参照すると、前記拡張されたオープニング 112a の屈曲によって柱状層 111 上にストレッジ電極膜 114 が蒸着される。ここで、前記ストレッジ電極膜 114 は HSG ポリシリコン適用のために非晶質シリコン(amorphous silicon)が使用される。前記ストレッジ電極膜 114 の表面上に HSG ポリシリコンノジュール(nodule ; asperities 凸凹な部分)116 が形成される。そうすると、前記拡張されたオープニング 112a のサイズが図 1c 及び 2 で参照番号 112b に示したように減少される。前記拡張されたオープニング 112a が完全に満たされるまで HSG ポリシリコンノジュール 116 及びストレッジ電極膜 114 上に酸化膜 118 が蒸着される。

図 1d において、前記拡張されたオープニング 112a 両側の柱状層 111 の上部表面が露出するまで前記酸化膜 118、HSG ポリシリコンノジュール 116、そしてストレッジ電極膜 114 の一部が平坦化エッチングされる。この平坦化エッチング工程は例えば、CMP(chemical mechanical polishing)工程で遂行される。すると、ストレッジ電極

膜 114 が部分的に隔離されてストレージ電極 114a が形成される。

最後に、前記シリコン窒化膜 104 をエッチング停止層として使用して前記酸化膜 118 及び柱状層 111 が除去されると、図 1e に示めたように、ストレージ電極 114a の内部表面のみに HSG ポリシリコンノジュール 116 が形成されたキャパシタ下部電極 120 が完成される。前記酸化膜 118 及び柱状層 111 はウェットエッチング方法で除去される。例えば、BOE(buffered oxide etchant)などのウェットケミカル(wet chemical)を使用して除去される。次に、前記ストレージ電極 114a をドーピングさせるために、高濃度の PH3 アニーリング(annealing)工程が遂行される。

後続工程でキャパシタ誘電体膜(capacitor dielectric layer)(図示せず)とプレートポリシリコン膜(plate polysilicon layer)(図示せず)が蒸着されて HSG ポリシリコンノジュール 116 を有するシリンダ構造の DRAM セルキャパシタが完成される。